

UNIVERSIDADE FEDERAL DO MARANHÃO  
CENTRO DE CIÊNCIAS EXATAS E TECNOLOGIA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA DE ELETRICIDADE

**DESENVOLVIMENTO DE UM CONVERSOR A/D INTEGRADOR COM FAIXA DE  
ENTRADA E RESOLUÇÃO PROGRAMÁVEL A CAPACITOR CHAVEADO**

**THIAGO BRITO BEZERRA**

São Luís - MA  
2012

**DESENVOLVIMENTO DE UM CONVERSOR A/D INTEGRADOR COM FAIXA DE  
ENTRADA E RESOLUÇÃO PROGRAMÁVEL A CAPACITOR CHAVEADO**

**THIAGO BRITO BEZERRA**

Dissertação apresentada ao Curso de Mestrado em Engenharia de Eletricidade da Universidade Federal do Maranhão, para obtenção do Título de Mestre em Ciência no domínio da Engenharia de Eletricidade, área de concentração em Automação e Controle.

Orientador: Prof. Dr. Sebastian Yuri Cavalcanti  
Catunda

Co-orientador: Prof. Dr. Antonio Petraglia

Bezerra, Thiago Brito

Desenvolvimento de um conversor A/D integrador com faixa de entrada e resolução programável a capacitor chaveado/ Thiago Brito Bezerra. – 2012.

102 f.

Impresso por computador (Fotocópia).

Orientador: Sebastian Yuri Cavalcanti Catunda.

Co-orientador: Antonio Petraglia.

Dissertação (Mestrado) – Universidade Federal do Maranhão, Curso de Engenharia de Eletricidade, 2012.

1. Engenharia de controle automático 2. Conversor analógico digital 3. Capacitor chaveado 4. Circuito programado 5. Conversor Integrador

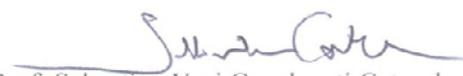
I. Título

CDU 62-52

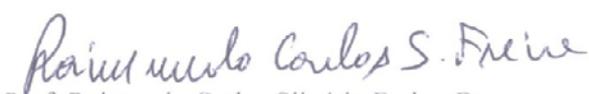
**DESENVOLVIMENTO DE UM CONVERSOR A/D  
INTEGRADOR COM FAIXA DE ENTRADA E RESOLUÇÃO  
PROGRAMÁVEL A CAPACITOR CHAVEADO**

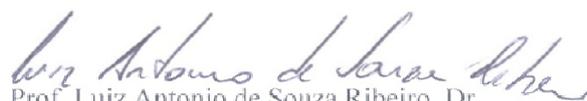
**Thiago Brito Bezerra**

Dissertação aprovada em 13 de abril de 2012.

  
Prof. Sebastian Yuri Cavalcanti Catunda, Dr.  
(Orientador)

  
Prof. Antonio Petraglia, Dr.  
(Co-Orientador)

  
Prof. Raimundo Carlos Silvério Freire, Dr.  
(Membro da Banca Examinadora)

  
Prof. Luiz Antonio de Souza Ribeiro, Dr.  
(Membro da Banca Examinadora)

## DEDICATÓRIA

*Aos meus pais, Francisco e Graça, e  
aos meus irmãos, Marco, Jósimo e  
Thomás, pelo apoio durante toda minha  
jornada acadêmica.*

*“O único lugar onde o sucesso vem  
antes do trabalho é no dicionário.”*

**Albert Einstein.**

## AGRADECIMENTOS

Agradeço ao meu orientador, o professor Dr. Sebastian Yuri Cavalcanti Catunda pela orientação e ensinamentos transferidos durante o período de execução deste trabalho.

Agradeço também ao meu co-orientador o professor Dr. Antonio Petraglia pelo aprendizado e debates nos laboratórios de pesquisa.

Aos professores do Departamento de Engenharia Elétrica que contribuíram com a minha formação científica durante o período do Mestrado.

Aos amigos que fiz no Laboratório de Instrumentação Eletrônica e Automação: Shirlen, Freud, Jadilson, Pedro, Rafael, Adelman, Igor e Evandro, pelo apoio e momentos de descontração.

Aos amigos do Laboratório de Processamento Analógico e Digital de Sinais do Programa de Engenharia Elétrica da COPPE/UFRJ: Flach, Jorge, Oscar e Gustavo, pelo apoio e debate sobre o projeto.

A CAPES pelo apoio financeiro, o qual me permitiu dedicação exclusiva aos estudos.

## RESUMO

Circuitos integrados programáveis possibilitam o seu ajuste após a fabricação, para se adequarem a mais de uma aplicação dentro de um conjunto determinado de aplicações. Um sistema de medição programável pode ser aplicado em medições que envolvam um conjunto de sensores com características diferentes de sinais e um conversor analógico-digital. A faixa de sinal em cada sensor deve ser ajustada o mais próximo da faixa de entrada do conversor analógico-digital, para garantir a medição com a faixa completa do sinal. Uma solução para realizar o ajuste da faixa do sinal é o uso de um sistema de medição com circuito de condicionamento programável. Neste trabalho de dissertação, propõe-se o projeto de um conversor analógico-digital em circuito integrado em que a faixa de entrada pode ser ajustada ao nível de sinal na saída do sensor, com a finalidade de evitar estágios de amplificação do sinal em um circuito de condicionamento. Para tal ajuste, a entrada do conversor deverá ser programável, o que o torna mais compatível com diversos sensores com características diferentes. O circuito proposto também possibilita a definição da resolução do conversor o que permite a escolha de compromisso entre resolução e velocidade de conversão, dependendo da aplicação. O conversor A/D é do tipo integrador a capacitores chaveados e foi projetado, em nível de transistor e leiaute, para o processo AMS 0,35  $\mu\text{m}$  CMOS.

Palavras-chave: Conversor analógico digital. Capacitores chaveados. Conversor integrador. Circuitos programáveis.

## ABSTRACT

Programmable integrated circuits enable its adjustment after fabrication to fit more than one application within a certain set of applications. A programmable measurement system can be applied to the measurement of different quantities involving a set of sensors with different signal characteristics and employing a single analog-to-digital converter (ADC). The output signal range for each sensor should be adjusted to be as close to the input range of the ADC as possible, to ensure maximum measurement quality. One solution to implement the adjustment on the signal range is the use of a measurement system with programmable conditioning circuit. In this work, it is proposed to design an ADC integrated circuit whose input range is adjusted to the signal level at the output of the sensor in order to avoid amplification stages in a signal conditioning circuit. For this adjustment, the input of the converter should be programmable, making it more compatible with various sensors with different characteristics. The developed ADC also allows the configuration of the converter resolution, enabling the designer to exploit trade-offs between resolution and conversion speed for a given application. The ADC is a switched capacitor integrating converter and it was designed for the AMS 0.35  $\mu\text{m}$  CMOS process.

Keywords: Analog-to-digital converter. Switched capacitors. Integrating converter. Programmable circuits.

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>18</b>
1.1	ASPECTOS GERAIS DA MEDIÇÃO .....	19
1.2	MOTIVAÇÃO .....	20
1.3	OBJETIVO GERAL.....	20
1.4	OBJETIVOS ESPECÍFICOS.....	21
1.5	METODOLOGIA.....	21
1.6	TRABALHOS PUBLICADOS .....	21
1.7	ORGANIZAÇÃO DO TRABALHO .....	22
<b>2</b>	<b>CONVERSORES ANALÓGICO-DIGITAIS .....</b>	<b>23</b>
2.1	CARACTERÍSTICAS DE UM ADC .....	23
2.1.1	CARACTERÍSTICAS GERAIS .....	24
2.1.2	ESPECIFICAÇÕES ESTÁTICAS.....	26
2.1.3	ESPECIFICAÇÕES DINÂMICAS .....	28
2.2	ARQUITETURAS DE ADC .....	30
2.2.1	ARQUITETURA PARALELO .....	30
2.2.2	ARQUITETURA PIPELINE.....	31
2.2.3	ARQUITETURA DE APROXIMAÇÃO SUCESSIVA .....	32
2.2.4	CONVERSORES INTEGRADORES .....	32
2.2.5	ARQUITETURA SIGMA-DELTA .....	33
<b>3</b>	<b>CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR .....</b>	<b>34</b>
3.1	CONVERSOR INTEGRADOR.....	34
3.1.1	CONVERSOR RAMPA SIMPLES.....	34
3.1.2	CONVERSOR RAMPA DUPLA.....	37
3.1.3	CONVERSOR RAMPA MÚLTIPLA RUNUP.....	39
3.2	CIRCUITOS A CAPACITORES CHAVEADOS .....	41
<b>4</b>	<b>ARQUITETURA DO CONVERSOR A/D PROGRAMÁVEL.....</b>	<b>45</b>
4.1	FAIXA DE ENTRADA DO ADC.....	45
4.2	CONJUNTO DE GANHOS .....	47
4.3	CAPACITOR PROGRAMÁVEL .....	49
4.4	ESPECIFICAÇÃO DO CONVERSOR A/D .....	50
<b>5</b>	<b>PROJETO DO CONVERSOR ANALÓGICO-DIGITAL .....</b>	<b>52</b>

5.1	CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR .....	52
5.2	DESCRIÇÃO DA OPERAÇÃO DO CIRCUITO .....	53
5.3	FAIXA DINÂMICA DOS VALORES DE PROGRAMAÇÃO .....	55
5.4	MODOS DE OPERAÇÃO.....	56
5.5	PROJETO EM NÍVEL DE TRANSISTORES .....	56
5.5.1	CIRCUITOS DIGITAIS BÁSICOS.....	57
5.5.2	GERADOR DE FASES DO RELÓGIO .....	60
5.5.3	MUX 2x2 .....	62
5.5.4	CHAVE CMOS .....	63
5.5.5	CAPACITOR PROGRAMÁVEL .....	64
5.5.6	FLIP-FLOP D .....	65
5.5.7	CONTADOR CRESCENTE/DECRESCENTE.....	67
5.5.8	AMPLIFICADOR OPERACIONAL.....	68
5.5.9	COMPARADOR DE TRÊS ESTÁGIOS .....	70
<b>6</b>	<b><u>LEIAUTE DO CONVERSOR INTEGRADOR .....</u></b>	<b><u>73</u></b>
6.1	LEIAUTE DOS CIRCUITOS DIGITAIS BÁSICOS .....	73
6.1.1	LEIAUTE INVERSOR .....	73
6.1.2	LEIAUTE PORTA NAND .....	74
6.1.3	LEIAUTE PORTA NOR .....	75
6.2	LEIAUTE DO GERADOR DE FASES DO RELÓGIO .....	76
6.3	LEIAUTE DO MUX 2x2.....	77
6.4	CHAVE CMOS.....	78
6.5	LEIAUTE FLIP-FLOP D .....	78
6.6	LEIAUTE DO SOMADOR CRESCENTE/DECRESCENTE .....	79
6.7	CAPACITOR PROGRAMÁVEL.....	81
6.8	LEIAUTE DO AMPLIFICADOR OPERACIONAL.....	83
6.9	LEIAUTE DO COMPARADOR DE TRÊS ESTÁGIOS .....	86
6.10	LEIAUTE DO CONVERSOR A/D COMPLETO .....	87
<b>7</b>	<b><u>RESULTADOS DAS SIMULAÇÕES.....</u></b>	<b><u>89</u></b>
7.1	SIMULAÇÕES EM NÍVEL DE TRANSISTORES .....	89
7.2	SIMULAÇÃO DO CIRCUITO EXTRAÍDO.....	96
<b>8</b>	<b><u>CONCLUSÃO .....</u></b>	<b><u>100</u></b>
8.1	PERSPECTIVAS FUTURAS.....	100
	<b><u>REFERÊNCIAS.....</u></b>	<b><u>101</u></b>
	<b><u>ANEXO .....</u></b>	<b><u>102</u></b>

## LISTA DE TABELAS

Tabela 4.1 - Relação: capacitor de entrada $C_I$ , ganho no sinal de entrada e faixa de entrada. .	50
Tabela 4.2 – Especificações do conversor proposto.....	51
Tabela 5.1 – Modos de operação do ADC e valores nas Entrada 1, 2 e Ajuste CC.....	56
Tabela 5.2 – Dimensão dos transistores utilizados nos circuitos digitais.....	57
Tabela 5.3 - Dimensão dos transistores utilizados no circuito do Mux 2x2.....	63
Tabela 5.4 – Dimensão dos transistores da chave CMOS.....	64
Tabela 5.5 – Dimensionamento dos transistores do amplificador cascode dobrado. ....	69
Tabela 5.6 – Dimensão dos transistores utilizados no comparador.....	71
Tabela 6.1 – Representação dos capacitores na matriz em centróide comum.....	81

## LISTA DE FIGURAS

Figura 1.1 – Sistema de medição em blocos funcionais	19
Figura 2.1 – Diagrama de bloco das funções básicas de um conversor A/D	23
Figura 2.2 – Representação em código binário do sinal analógico.	25
Figura 2.3 – Representação da conversão A/D em 3 bits; representações: (a) meia-transição e erro de quantização entre $Q/2$ e $-Q/2$ ; (b) meia-faixa e erro de quantização entre $Q$ e $0$ .	26
Figura 2.4 – Erros do ADC: (a) <i>Offset</i> e (b) erro de ganho.	27
Figura 2.5 – Erros de linearidade do ADC: (a) DNL e (b) INL.	28
Figura 2.6 – SFDR em relação ao sinal de entrada e escala completa.	29
Figura 2.7 – Compromisso entre parâmetros de um ADC: Velocidade, resolução e potência.	30
Figura 2.8 – Arquitetura Paralelo.	31
Figura 2.9 – Arquitetura pipeline.	31
Figura 2.10 – Diagrama básico de um circuito de aproximação sucessiva.	32
Figura 2.11 – Diagrama de blocos de um modulador $\Sigma\Delta$ .	33
Figura 3.1 – Diagrama de um conversor rampa simples.	35
Figura 3.2. Representação das tensões com ADC rampa simples: (a) tensão de saída do integrador e tensão na saída do comparador; (b) pulsos para contagem de bits.	35
Figura 3.3 – Conversor rampa dupla	37
Figura 3.4 – Tensão na saída do integrador do conversor rampa-dupla e a contagem de pulsos.	39
Figura 3.5 – Diagrama esquemático do integrador do conversor rampa múltipla <i>runup</i> de tempo contínuo.	40
Figura 3.6 – Tensão na saída do integrador do conversor rampa múltipla <i>runup</i> .	41
Figura 3.7 – Resistor simulado (a), com a técnica de capacitores chaveados (b).	42
Figura 3.8 - Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo inversor de tensão.	43
Figura 3.9 - Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo não-inversor.	44
Figura 4.1 – Exemplo de faixa do sinal e faixa de entrada do ADC.	46
Figura 4.2 – Capacitor programável na entrada do integrador.	47

Figura 5.1 – Arquitetura do conversor analógico-digital rampa múltipla a capacitor chaveado.	52
Figura 5.2 – Sinais que controlam a operação das chaves no conversor.	54
Figura 5.3 - Simulação da faixa dinâmica de entrada do conversor para cinco valores do capacitor programável.	55
Figura 5.4 – Inversor: (a) Nível de transistores e (b) Símbolo utilizado.	57
Figura 5.5 – Resposta do circuito inversor.	58
Figura 5.6 – Porta NAND: (a) Circuito da porta NAND e (b) símbolo utilizado.	58
Figura 5.7 – Resposta do circuito da porta NAND.	59
Figura 5.8 – Porta NOR: (a) Circuito em nível de transistores e (b) símbolo utilizado.	59
Figura 5.9 – Sianis de entrada e saída do circuito da porta NOR.	60
Figura 5.10 – Gerador de fases do relógio.	60
Figura 5.11 – Símbolo do gerador de fases do relógio.	61
Figura 5.12 - Sinais na entrada e saída do gerador de fases de relógio.	61
Figura 5.13 - Circuito do Mux 2x2: 2 Mux em paralelo.	62
Figura 5.14 - Símbolo Mux 2x2.	62
Figura 5.15 - Saídas do MUX 2x2 em função da entrada CP.	63
Figura 5.16 - Chave de transmissão CMOS.	64
Figura 5.17 – Capacitor programável com nove valores de capacitâncias.	65
Figura 5.18 – Flip-flop D usado na implementação do conversor A/D.	66
Figura 5.19 – Resposta do flip-flop D implementado nesse trabalho.	66
Figura 5.20 – Contador Crescente/Decrescente.	67
Figura 5.21 – Amplificador operacional cascode dobrado usado na implementação do conversor A/D proposto.	68
Figura 5.22 – Slew rate do amplificador operacional desenvolvido.	69
Figura 5.23 – Resposta de ganho e fase do amplificador projetado.	70
Figura 5.24 – Arquitetura comparador usado no conversor.	71
Figura 5.25 – Resposta do comparador a uma variação de 1 mV.	72
Figura 5.26 – Resposta em frequência do comparador projetado.	72
Figura 6.1 – Leiaute da porta inversora.	73
Figura 6.2 – Resposta do circuito extraído para o inversor.	74
Figura 6.3 – Leiaute da porta lógica NAND.	74
Figura 6.4 – Resposta do circuito extraído da porta NAND.	75
Figura 6.5 – Leiaute da porta lógica NOR.	75

Figura 6.6 – Resposta do circuito extraído da porta NOR.	76
Figura 6.7 – Leiaute do circuito gerador de fases do relógio.	76
Figura 6.8 – Resposta do gerador de fases extraído.	77
Figura 6.9 – Leiaute do Mux 2x2.	77
Figura 6.10 – Resposta do circuito extraído do Mux 2x2.	78
Figura 6.11 – Leiaute da chave CMOS.	78
Figura 6.12 – Leiaute do Flip-Flop D.	79
Figura 6.13 – Resposta do circuito extraído do Flip-Flop D.	79
Figura 6.14 – Leiaute do Somador Crescente/Decrescente.	80
Figura 6.15 – Arranjo da matriz em centróide comum (a) e o mesmo arranjo com <i>dummies</i> (b).	82
Figura 6.16 – Leiaute do capacitor unitário de 100 fF.	82
Figura 6.17 – Leiaute do capacitor programável.	83
Figura 6.18 – Casamento em <i>cross-quad</i> .	84
Figura 6.19 – Leiaute do amplificador operacional de transcondutância.	84
Figura 6.20 – Slew rate do circuito extraído do amplificador.	85
Figura 6.21 – Resposta em frequência do circuito extraído do amplificador operacional.	85
Figura 6.22 – Leiaute do comparador de três estágios.	86
Figura 6.23 – Resposta do circuito extraído do comparador.	86
Figura 6.24 – Resposta em frequência do circuito extraído do comparador.	87
Figura 6.25 – Leiaute do conversor A/D completo.	88
Figura 7.1 - Simulação em nível de transistores do valor digital em função da entrada analógica para um conversor A/D de 5 bits.	90
Figura 7.2 - Erro diferencial de não-linearidade (DNL) para a resolução de 5 bits.	91
Figura 7.3 - Erro integral de não-linearidade (INL) para a resolução de 5 bits.	91
Figura 7.4 – Sinal senoidal aplicado ao conversor com resolução de 5 bits e sua resposta digital.	92
Figura 7.5 – Resultado da FFT para um conversor com resolução de 5 bits.	93
Figura 7.6 – Simulação em nível de transistores do valor digital em função da entrada analógica para um conversor A/D de 8 bits.	94
Figura 7.7 – Erro diferencial de não-linearidade (DNL) para a resolução de 8 bits.	94
Figura 7.8 – Erro integral de não-linearidade (INL) para a resolução de 8 bits.	95
Figura 7.9 – Sinal senoidal aplicado ao conversor com resolução de 8 bits e sua resposta digital.	95

Figura 7.10 – Resultado da FFT para um conversor com resolução de 8 bits. _____	96
Figura 7.11 – Simulação do circuito extraído do valor digital em função da entrada analógica para um conversor A/D de 8 bits. _____	97
Figura 7.12 – Erro diferencial de não-linearidade (DNL) para a resolução de 8 bits do circuito extraído. _____	97
Figura 7.13 – Erro integral de não-linearidade (INL) para a resolução de 8 bits do circuito extraído. _____	98
Figura 7.14 – Sinal senoidal aplicado ao conversor extraído com resolução de 8 bits e sua resposta digital. _____	98
Figura 7.15 – Resultado da FFT para um conversor extraído com resolução de 8 bits. _____	99

## LISTA DE SÍMBOLOS

A/D	<i>Analog Digital</i>
ADC	<i>Analog Digital Converter</i>
AMS	<i>Austrian Micro Systems</i>
ASIC	<i>Application Specific Integrated Circuits</i>
$A_v$	Ganho de tensão
BSIM	<i>Berkeley Short Channel IGFET Mod</i>
CAD	<i>Computer Aided Design</i>
CC	Corrente Contínua
DAIC	<i>Design Architect Integrated Circuit</i>
dB	Decibéis
DNL	<i>Differential Non Linearity</i>
DR	<i>Dynamic Range</i>
DRC	<i>Design Rules Checker</i>
ENOB	<i>Effective Number Of Bits</i>
FFT	<i>Fast Fourier Transformer</i>
GBW	Resposta em frequência
$G_m$	Transcondutancia
ICMR	Faixa de entrada modo comum
$I_d$	Corrente de dreno
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
INL	<i>Integral Non Linearity</i>
L	Comprimento de canal
LIEA	Laboratório de Instrumentação Eletrônica e Automação - UFMA
LVS	<i>Layout Versus Schematic</i>
LSB	<i>Least Significant Bit</i>
MN	Transistor NMOS
MP	Transistor PMOS
MSB	<i>Most Significant Bit</i>
MSPS	<i>Mega Samples Per Second</i>
PGA	<i>Program Gain Amplifier</i>

RMS	<i>Root Mean Square</i>
SAR	<i>Successive Approximation Register</i>
SFDR	<i>Spurious Free Dynamic Range</i>
SINAD	<i>Signal to Noise And Distortion</i>
SNR	<i>Signal to Noise Ratio</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
SR	<i>Slew-Rate</i>
THD	<i>Total Harmonic Distortion</i>

# 1 INTRODUÇÃO

Uma das etapas da medição é converter uma grandeza medida em outra grandeza, geralmente elétrica. Os elementos responsáveis para esse fim são os sensores e transdutores, que podem gerar um sinal de tensão ou corrente. Este sinal pode então ser condicionado, num circuito de condicionamento, e em seguida, no caso de sistemas de medição digitais, amostrado e convertido para a forma digital por um conversor analógico-digital.

Circuitos de condicionamento são usados geralmente para amplificar os sinais com baixa amplitude, para ajustá-los à faixa de entrada do conversor A/D. Logo, o circuito de condicionamento tem a importância de tornar o sinal do sensor adequado à entrada do conversor A/D. O ADC é responsável por traduzir um sinal elétrico analógico para uma representação numérica adequada para o processamento digital. Entre as arquiteturas mais comuns estão: paralelo, rampa-dupla, aproximação sucessiva e sigma-delta.

A proposta de flexibilizar um sistema de medição tem a intenção de aumentar a aplicabilidade e reduzir os custos deste. Um sistema de medição flexível (programável) possibilita o seu uso em diferentes aplicações, que normalmente necessitariam usar sistemas diferentes. Esse sistema é uma opção mais geral para diferentes aplicações, o que viabiliza sua produção em massa e o custo do sistema é reduzido.

Para que o sistema de medição funcione com diferentes tipos de sensores, com diferentes características de sinais, é necessário que o circuito de condicionamento seja programável para prover diferentes valores de ganhos e de ajuste de nível CC. Os procedimentos propostos em [1] tornaram possível encontrar o conjunto mínimo de valores de programação dentro de uma faixa determinada, assegurando a faixa de medição completa e mantendo a perda de resolução da medição dentro dos limites aceitáveis.

Circuitos de condicionamento com ganhos programáveis foram propostos utilizando componentes discretos em [2] e em circuito integrado em [3]. Em [4], foi proposta uma arquitetura de conversor A/D em que é possível ajustar os ganhos internos do conversor e se adequar a faixa do sinal de saída do sensor, para tornar o sistema programável.

Neste trabalho, um conversor analógico-digital baseado nesta última arquitetura foi projetado em circuito integrado para a tecnologia AMS 0,35  $\mu\text{m}$  e que permite a configuração da resolução, tornando assim possível a escolha de compromisso entre resolução e velocidade de conversão, dependendo da aplicação.

## 1.1 ASPECTOS GERAIS DA MEDIÇÃO

Medições de qualquer natureza são realizadas a partir de instrumentos que são projetados para atender a determinadas especificações, sendo tais instrumentos responsáveis pela coleta de informações sobre a grandeza que está sendo medida, e por organizar, interpretar e processar essas informações, seja de forma analógica ou digital. O desenvolvimento rápido das tecnologias de circuitos integrados e a disponibilidade de circuitos conversores analógico/digital e microprocessadores têm contribuído para o progresso rápido das técnicas usadas para a medição, o que contribui para a melhoria de uma forma geral do desempenho do sistema de medição.

Um sistema de medição pode ser tradicionalmente dividido em quatro blocos: um sensor ou transdutor, um circuito de condicionamento, um conversor A/D (analógico-digital) e um processador, mostrados na Figura 1.1. A falta de precisão desses elementos e o não casamento entre eles afetarão o resultado da medição. Assim, esses elementos devem ser ajustados para que possam produzir medições confiáveis.

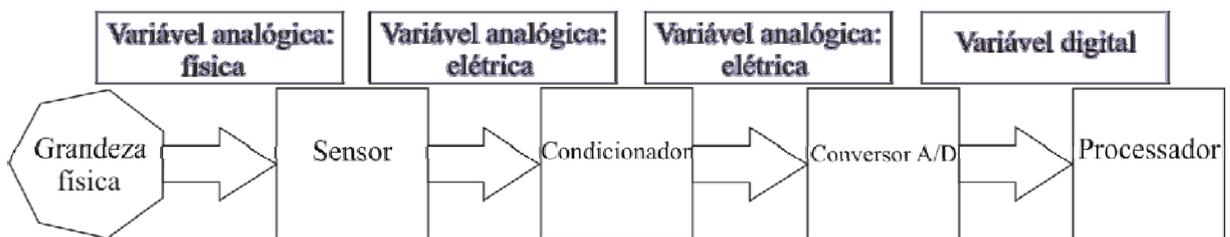


Figura 1.1 – Sistema de medição em blocos funcionais

O sensor tem a função de transformar um sinal proveniente de uma grandeza física e convertê-lo para sinal elétrico, tensão ou corrente. Cada sensor é classificado de acordo com a grandeza física a ser medida, tais como: sensor de pressão, sensor de distância e sensor de temperatura.

O bloco condicionador é responsável por ajustar o sinal elétrico na saída do sensor para que possa ser usado pelo bloco seguinte, neste caso o conversor A/D. O sinal na saída do sensor possui geralmente uma amplitude pequena, e por isso necessita-se amplificar esse sinal para que se possa aproveitá-lo pelo conversor A/D. Pode ser também necessário realizar um ajuste de nível CC, linearização e filtragem do sinal, antes que ele seja convertido de analógico para digital.

O conversor A/D é usado para converter o sinal elétrico analógico em sinal digital, que é aplicado no bloco de processamento. O sinal elétrico na saída do circuito de condicionamento deve ser adequado à faixa de sinal de entrada do conversor A/D para garantir a resolução máxima especificada. No caso da faixa do sinal na saída do circuito de condicionamento ser menor que a faixa de entrada do conversor A/D, haverá perda na resolução da medição. No entanto, se a faixa do sinal na saída do circuito de condicionamento for maior que a faixa de entrada do conversor A/D, haverá perda na faixa de medição.

## **1.2 MOTIVAÇÃO**

A medição de grandezas diversas, tais como temperatura, umidade e pressão, é realizada utilizando sensores distintos que produzem sinais de saída de variadas formas e níveis. Essa medição é realizada usando um sistema de medição composto geralmente por: sensor, circuitos de condicionamento, conversores A/D e processamento digital.

Para permitir o uso do mesmo sistema de medição, maximizando sua utilização e conseqüentemente reduzindo custos de produção, além da flexibilidade e padronização de interfaces de medição. Esse sistema de medição deve ser flexível, podendo-se usar componentes internos programáveis, por exemplo, um circuito de condicionamento ou conversor A/D programáveis, assegurando uma melhor qualidade das medições em termos de resolução e faixa dinâmica.

O conversor A/D proposto irá ampliar a flexibilidade das aplicações desses sistemas ao permitir medições com sinais de faixas de entrada diferentes além de possibilitar a definição da resolução do conversor permitindo a escolha de compromisso entre resolução e velocidade de conversão, dependendo da aplicação.

## **1.3 OBJETIVO GERAL**

Projetar em nível de transistor e leiaute um conversor analógico-digital com faixa de entrada e resolução programáveis, utilizando-se a técnica de capacitores chaveados para a tecnologia AMS 0,35  $\mu\text{m}$ .

## 1.4 OBJETIVOS ESPECÍFICOS

- ✓ Projetar o circuito do conversor A/D com entrada e resolução programáveis, em nível de arquitetura e transistores;
- ✓ Dimensionar e avaliar o desempenho do circuito, por meio de simulações;
- ✓ Projetar o circuito em nível de leiaute e realizar novas avaliações de desempenho;
- ✓ Realizar ajustes na arquitetura para reduzir os erros associados ao circuito;
- ✓ Conceber o circuito e produzir os leiautes dos circuitos para fabricação.

## 1.5 METODOLOGIA

A programação da faixa de entrada do conversor A/D é realizada proporcionando ganhos de amplitude no sinal de entrada através da seleção de componentes passivos do circuito. Com a arquitetura proposta, ganhos diferentes no sinal de entrada são obtidos com a variação da capacitância de um capacitor de entrada programável.

Esse trabalho é a continuação do trabalho descrito em [3] e [4], que teve como objetivo verificar propor e validar a arquitetura do conversor A/D em nível comportamental e de macro blocos. Nesse trabalho, o conversor A/D foi projetado em nível de transistores e leiaute para a sua fabricação, garantindo a medição sem perda da faixa de medição e com perda máxima de resolução de 1 LSB. As faixas de entrada do conversor A/D projetado são determinadas com simulações.

## 1.6 TRABALHOS PUBLICADOS

As pesquisas originadas desta dissertação de mestrado renderam a seguinte publicação:

- ✓ BEZERRA, T. B.; NUNES, R. O.; CATUNDA, S. Y. C.; PETRAGLIA, A.; e FREIRE, R. C. S, “Transistor Level Design of a Switched Capacitor Integrating ADC with Programmable Input Range and Resolution”, in *Iberchip XVIII Workshop* 2012.

## **1.7 ORGANIZAÇÃO DO TRABALHO**

Este trabalho está organizado em 8 capítulos.

No capítulo 2 é apresentado o funcionamento de algumas arquiteturas de conversores analógico-digitais, e descrevem-se de forma sucinta suas características gerais;

No capítulo 3 descrevem-se as principais arquiteturas de ADC integradores e a técnica de capacitores chaveados;

No capítulo 4 apresenta-se o conjunto com valores de ganhos aplicados no projeto do capacitor programável e as especificações do ADC proposto;

No capítulo 5 apresenta-se o desenvolvimento do conversor A/D proposto bem como o seu funcionamento;

No capítulo 6 descreve-se como foram desenvolvidos os componentes em nível de leiaute.

No capítulo 7 são apresentados os resultados das simulações que comprovam o funcionamento do conversor.

No capítulo 8 são apresentadas as conclusões e perspectivas para trabalhos futuros.

## 2 CONVERSORES ANALÓGICO-DIGITAIS

Neste capítulo são descritas algumas características importantes de um conversor analógico-digital e mostrado o princípio de funcionamento de algumas arquiteturas de ADC.

### 2.1 CARACTERÍSTICAS DE UM ADC

O funcionamento de um ADC pode ser dividido em uma sequência de três operações básicas: amostragem, quantização e codificação, como mostrado na Figura 2.1.

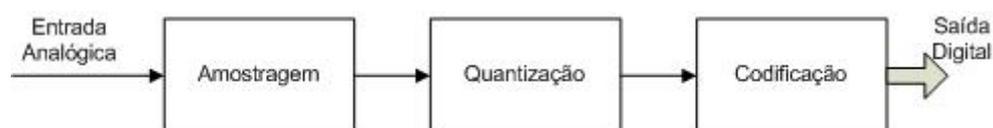


Figura 2.1 – Diagrama de bloco das funções básicas de um conversor A/D

A amostragem faz a discretização do sinal no tempo. O sinal amostrado é obtido tomando-se amostras do sinal contínuo em intervalos constantes definidos pelo período de amostragem, que é definido pelo inverso da frequência de amostragem.

A quantização é o processo que permite a representação do sinal amostrado utilizando apenas valores discretos em amplitude. Pode-se classificar a quantização em uniforme e não uniforme. A quantização uniforme é geralmente empregada nos conversores A/D, entretanto, existem alguns casos em que se pode realizar uma quantização não uniforme, como no caso de correção de alguma não linearidade associada ao sinal analógico devido à utilização de um sensor com função de transferência não linear. De uma forma geral, no processo de quantização divide-se a faixa de variação do sinal contínuo em diversos intervalos consecutivos e escolhe-se um valor para representação de cada intervalo. O valor quantizado deste sinal é o valor de representação de um determinado intervalo em que o sinal se encontra.

A codificação é a última etapa do processo de conversão A/D, que consiste na representação do sinal já amostrado e quantizado em códigos digitais. Existem alguns códigos que podem ser utilizados, dentre os mais comuns estão o código binário, o código Gray e o código complementar de dois.

Para escolha de um conversor A/D a ser usado num sistema de medição, avaliam-se os requisitos exigidos a este sistema. Essas especificações podem ser divididas em:

- ✓ Características gerais;
- ✓ Especificações estáticas;
- ✓ Especificações dinâmicas.

Logo, dependendo da aplicação, um desses parâmetros pode ser mais significativo que outro, o que torna importante o conhecimento de cada um desses parâmetros.

### **2.1.1 CARACTERÍSTICAS GERAIS**

Nessa seção da dissertação são introduzidos alguns conceitos sobre as características gerais de um conversor analógico-digital.

O tipo de sinal analógico na entrada conversor é uma dessas características. A entrada analógica ou saída de um conversor podem ser de saída única, saída pseudo-diferencial ou diferencial. Sinais analógicos de saída única tem como referência o sinal do fio terra que é conectado ao terra do conversor. Sinais pseudo-diferenciais são simétricos tendo como referência uma tensão fixa que pode ser diferente do sinal do fio terra do conversor. Sinais diferenciais não são simétricos a uma tensão de referência, eles representam a diferença entre os sinais de suas entradas ou saídas [5].

Outra característica importante é a resolução do ADC, que é um parâmetro relacionado com o número de palavras digitais ( $R$ ) usadas para representar o sinal analógico de entrada e pelo número de bits ( $N$ ) onde,  $R = 2^N$ . Assim, um conversor com resolução de 10 bits representará um sinal analógico por 1024 faixas. Na Figura 2.2 mostra-se a saída digital em função da entrada analógica, em que cada faixa analógica tem comprimento ideal de 1 LSB, (Bit menos significativo – Least significant bit), para um conversor de 4 bits.

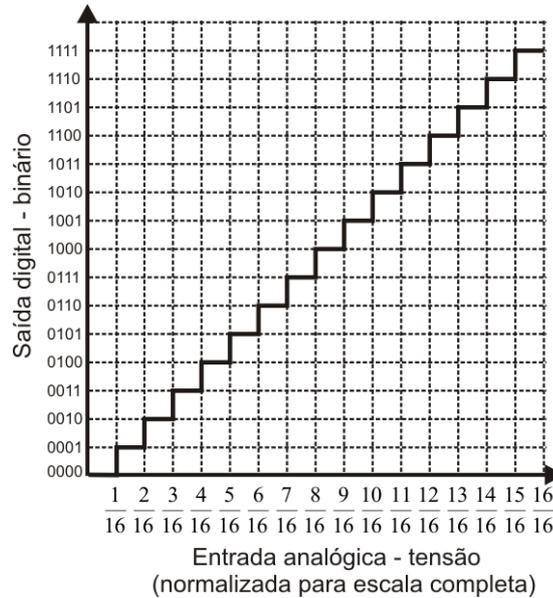


Figura 2.2 – Representação em código binário do sinal analógico.

Pode-se observar na Figura 2.2 que um valor binário representa de forma aproximada cada faixa de valor analógico. Essa aproximação resulta em um erro de quantização, inerente a qualquer conversor A/D. O erro de quantização está relacionado à resolução do conversor e a tensão de referência, quanto maior a resolução menor é o valor do erro de quantização.

Existem duas convenções adotadas no padrão IEEE 1241-2000 para definição dos intervalos de quantização e caracterização do erro de quantização de conversores A/D, que são chamadas de meia-faixa e meia-transição [6]. Essas convenções definem respectivamente que o meio da faixa de variação do sinal de entrada, definido por  $(x_{max} + x_{min})/2$ , coincide exatamente com o meio do intervalo de quantização para a meia-faixa e na transição de um valor quantizado para o outro na meia-transição. A convenção de meia-transição corresponde à quantização uniforme apresentada na seção anterior e na convenção de meia-faixa, as transições são deslocadas de 0,5 LSB. Na Figura 2.3, representam-se as duas convenções adotadas para um conversor A/D de 3 bits.

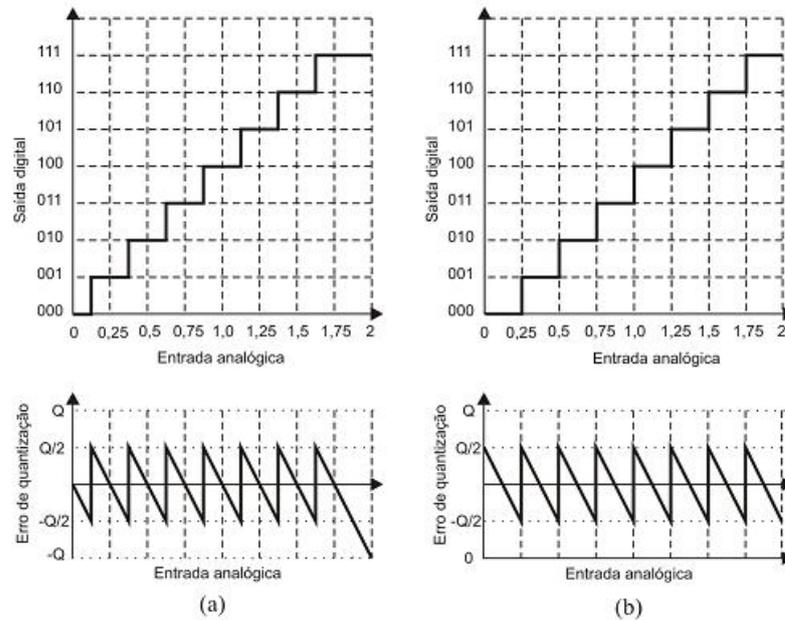


Figura 2.3 – Representação da conversão A/D em 3 bits; representações: (a) meia-transição e erro de quantização entre  $Q/2$  e  $-Q/2$ ; (b) meia-faixa e erro de quantização entre  $Q$  e 0.

A faixa dinâmica pode ser definida como a razão entre o maior e o menor nível do sinal que o conversor consegue manipular, expressado em  $dB$ . Também determina a máxima relação sinal-ruído (*Signal-to-Noise Ratio* - *SNR*).

### 2.1.2 ESPECIFICAÇÕES ESTÁTICAS

As características de desempenho estáticas são importantes quando o ADC é aplicado numa medição com sinal contínuo. Tais características são encontradas com o uso de um sinal rampa na entrada do ADC. Com a rampa, o sinal analógico tem valores variando de zero até a sua escala completa, e a saída digital terá uma forma de escada crescente, com cada degrau possuindo o valor de 1 bit menos significativo (*LSB*), no caso de um conversor ideal. A linha que une o ponto inicial zero e o ponto de escala completa, passando pelos pontos médios de cada degrau forma uma reta que representa a função de transferência do ADC.

#### *Erro de desvio*

O erro de desvio (ou *offset*) descreve um deslocamento da entrada zero, esse deslocamento muda toda a função de transferência. Assim, todos os níveis de quantização serão deslocados. Esse erro pode ser medido por *LSB*, valores absolutos de corrente ou tensão e por porcentagem da escala completa. Na Figura 2.4 (a) pode ser observado como esse erro influi no funcionamento do ADC.

### Erro de ganho

Para um conversor ideal a inclinação da reta da função de transferência é dada por  $D_{FS}/A_{FS}$ , sendo  $D_{FS}$  o fundo de escala do código digital e  $A_{FS}$  o fundo de escala da entrada analógica. Como  $D_{FS}$  representa  $A_{FS}$ , temos que a inclinação é dada por um. O erro de ganho descreve um erro na inclinação da reta de interpolação que representa a função de transferência do ADC. Na Figura 2.4 (b) mostra-se a função de transferência ideal e a real, do ADC avaliado. A soma do erro de ganho e de offset resulta no erro de escala completa.

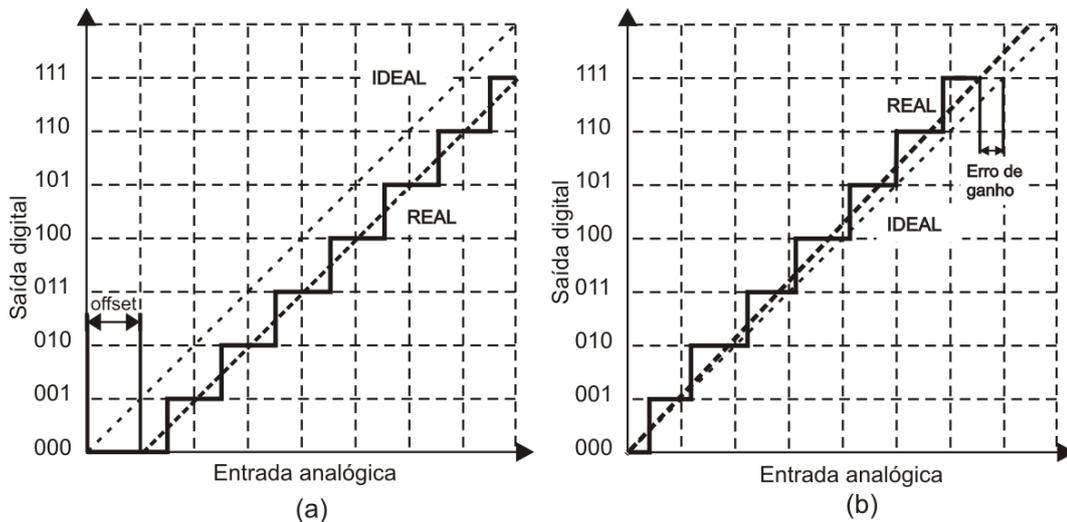


Figura 2.4 – Erros do ADC: (a) *Offset* e (b) erro de ganho.

### Erro de não linearidade diferencial

O erro de não linearidade diferencial (*DNL*) é a diferença do valor do *LSB* de um nível de quantização de um conversor real para o *LSB* de um ideal  $\Delta$ . Assumindo que  $X_k$  é o ponto de transição entre códigos sucessivos  $k-1$  e  $k$ , então o tamanho do passo de  $k$  é dado por  $\Delta_r(k) = (X_{k+1} - X_k)$ ; O *DNL* é dado por:

$$DNL(k) = \frac{\Delta_r(k) - \Delta}{\Delta} \quad (2.1)$$

Caso o erro *DNL* seja maior que +1 *LSB* ou -1 *LSB*, provavelmente ocorrerá uma perda de código.

### Erro de não linearidade integral

O erro de não linearidade integral, ou *INL* (*Integral nonlinearity*) é o desvio máximo entre as linhas das funções de transferência real e a ideal. Este erro representa a soma de todos os valores *DNL*. Na Figura 2.5 mostram-se os erros de *DNL* e *INL*.

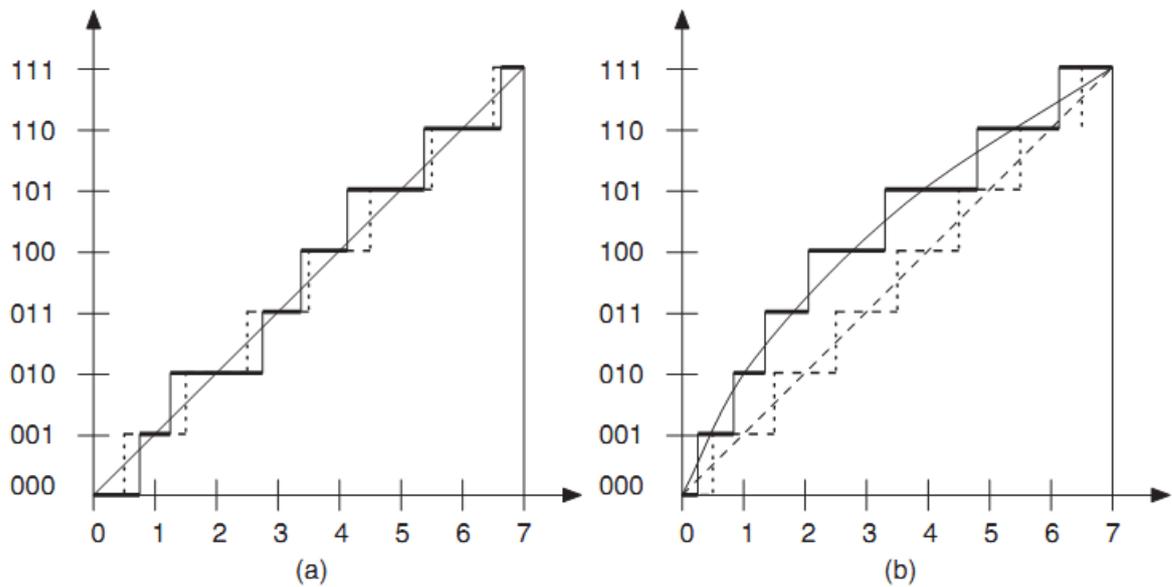


Figura 2.5 – Erros de linearidade do ADC: (a) DNL e (b) INL.

### 2.1.3 ESPECIFICAÇÕES DINÂMICAS

A resposta em frequência e velocidade dos componentes de um conversor A/D determinam o seu desempenho dinâmico. Obviamente, o desempenho torna-se crítico quando a largura de banda do sinal de entrada e a taxa de conversão são elevadas.

Portanto, as especificações correspondem tanto a condições dinâmicas específicas como a funções de frequência, tempo, ou taxa de conversão de dados. Um fator de qualidade das especificações dinâmicas é sua potencialidade de manterem-se inalteradas ao longo de toda a faixa de operação dinâmica.

A análise dinâmica do ADC é realizada com a transformada de Fourier para verificação de algumas relações entre um sinal senoidal na entrada, os ruídos e os harmônicos, tais como: SNR, SINAD, ENOB e SFDR.

A relação sinal ruído (SNR) é a razão entre a intensidade do sinal (normalmente uma onda senoidal) e a soma do ruído total produzido pela quantização e o ruído do circuito. Este leva em consideração também os ruídos presentes no sinal de entrada, e dessa forma, para um sinal senoidal tem-se:

$$SNR_{ideal} = (6.02 \times N + 1.76)dB \quad (2.2)$$

O primeiro termo está relacionado diretamente com a resolução do conversor. Em contraste, o segundo termo, 1,76 dB, é uma contribuição da forma de onda do sinal: neste

caso a forma de onda do sinal de entrada é uma onda senoidal. Um SNR teórica máxima assume um sinal de entrada perfeito. Esta fórmula representa o desempenho teórico de um ADC de  $N$  bits perfeito. Pode-se comparar o SNR atual do ADC com o SNR teórico e ter uma idéia de como está o seu funcionamento.

A relação sinal ruído e distorção (SINAD) é similar em definição a SNR exceto pelos termos de distorção não linear, gerados pela onda senoidal entrada, que também são contabilizados. O SINAD é a razão entre o valor *rms* de um sinal e valor *rms* dos componentes harmônicos mais ruído (excluindo dc). Uma vez que limitações estáticas e dinâmicas causam uma resposta não linear, o SINAD é dependente tanto da amplitude quanto da frequência da onda senoidal de entrada.

O número efetivo de bits (ENOB) é encontrado em função do SINAD, e indica a resolução que um conversor ideal teria se este possuísse o valor SINAD de um ADC real. SINAD em dB e ENOB estão ligadas por:

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (2.3)$$

A faixa dinâmica livre de espúrios (SFDR) é a razão entre a amplitude da frequência fundamental de um sinal senoidal e o nível de espúrio mais largo, na largura de banda dada. Na Figura 2.6 mostra-se o espúrio mais largo e o SFDR em dB (decibéis).

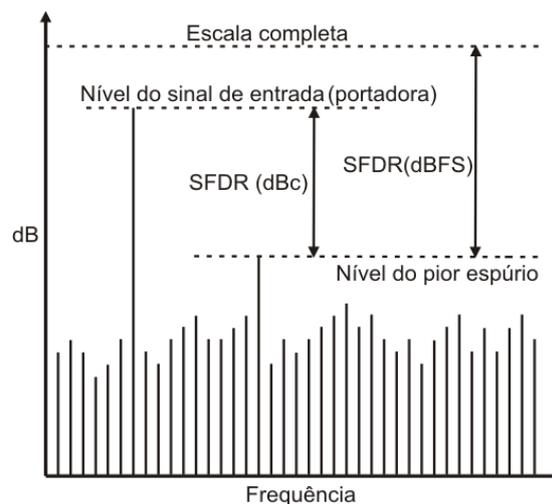


Figura 2.6 – SFDR em relação ao sinal de entrada e escala completa.

## 2.2 ARQUITETURAS DE ADC

Um conversor analógico-digital pode ser implementado usando diversas arquiteturas diferentes, que se classificam segundo [5] em:

- ✓ Conversores à frequência de Nyquist, que operam entre 1,5 a 10 vezes a frequência de Nyquist entre eles os mais conhecidos são: Paralelo, Pipeline, Aproximação sucessiva e Integrador;
- ✓ Conversores sobreamostrados que operam a frequências muito superiores a de Nyquist, tipicamente de 20 a 512 vezes maior. São conversores que conseguem aumentar a SNR por meio de uma filtragem do ruído de quantização fora da banda do sinal. O principal representante nessa topologia é o Sigma-Delta.

Na escolha da arquitetura mais adequada para um projeto, deve-se levar em consideração o compromisso entre a resolução, a velocidade e o consumo de potência. Na Figura 2.7 pode ser observada essa relação de compromisso.

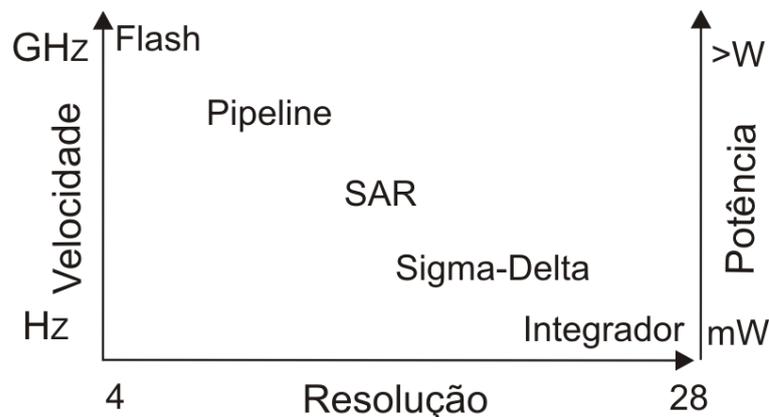


Figura 2.7 – Compromisso entre parâmetros de um ADC: Velocidade, resolução e potência.

### 2.2.1 ARQUITETURA PARALELO

A arquitetura paralelo é usada em sistemas que requerem conversões rápidas, com resolução baixa de 4 a 8 bits. Em geral, essa arquitetura realiza a conversão em um único ciclo de relógio com duas fases. Na primeira fase o sinal é amostrado e aplicado à entrada. Na segunda fase a saída dos comparadores é codificada numa palavra digital de N bits.

A arquitetura paralelo necessita de  $2^N - 1$  comparadores e, com isso, tem a desvantagem de aumentar exponencialmente o número de comparadores com o aumento da resolução.

Logo, essa estrutura não é a mais adequada para projetos de circuitos integrados que requerem pouca área e baixo consumo de potência [7]. Na Figura 2.8 é ilustrado um conversor flash.

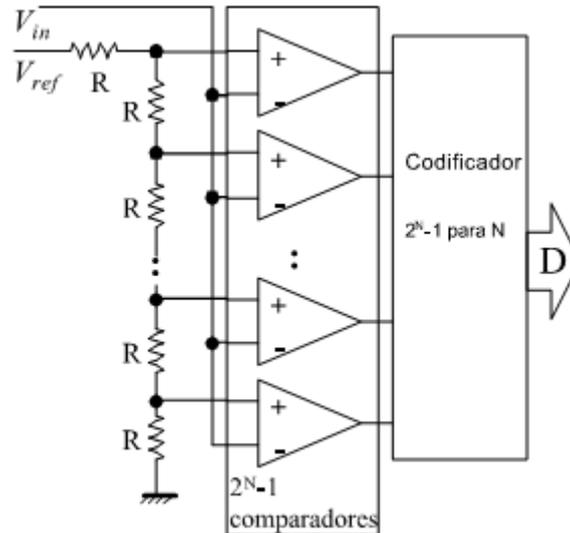


Figura 2.8 – Arquitetura Paralelo.

### 2.2.2 ARQUITETURA PIPELINE

Na arquitetura Pipeline pode-se ter uma resolução maior do que a arquitetura Flash, na faixa de 8 até 16 bits, e uma taxa de conversão ainda rápida, porém mais lenta que o Flash, de alguns MSPS (*Mega Samples Per Second* – Milhão de amostragem por segundo) até 100 MSPS [8]. Ela consiste em um ADC de  $N$  estágios com conversores de 1 bit por estágio. Após um atraso de  $N$  ciclos de relógio devido aos estágios obtém-se uma conversão por ciclo de relógio. O tamanho da estrutura do Pipeline aumenta de forma linear, com o aumento da resolução. Além disso, essa arquitetura pode ficar maior com o uso de circuitos paralelos que aumentam o rendimento do circuito, o que leva ao aumento da potência consumida e a latência. É demonstrado na Figura 2.9 um conversor do tipo pipeline.

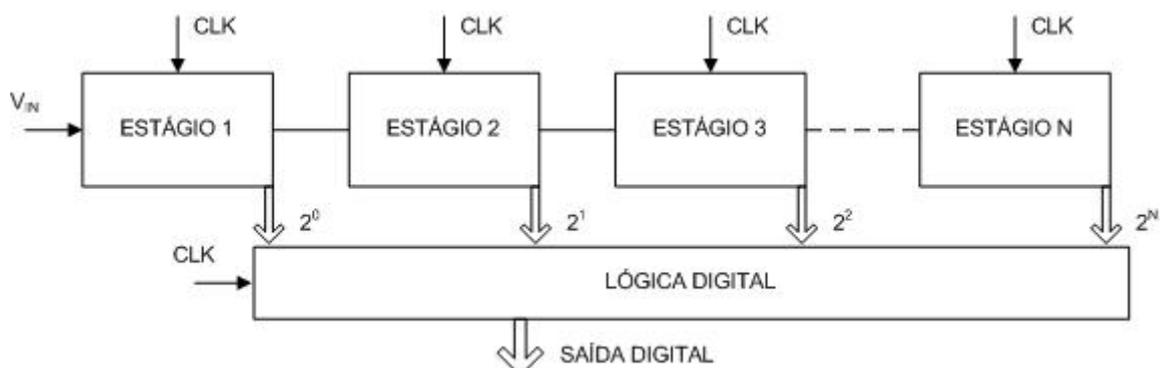


Figura 2.9 – Arquitetura pipeline.

### 2.2.3 ARQUITETURA DE APROXIMAÇÃO SUCESSIVA

A arquitetura de aproximação sucessiva SAR (*Successive Approximation Register*) é aplicada em sistemas que requerem taxa de conversão média, limitada a poucos MSPS.

O algoritmo de aproximação sucessiva realiza a conversão A/D ao longo de múltiplos períodos de relógio, explorando o conhecimento previamente determinado de bits mais significativos para determinar o próximo bit significativo.

O método visa reduzir a complexidade do circuito e consumo de energia usando uma taxa de conversão baixa, permitindo um período de clock por bit (mais um para a amostragem da entrada).

Conversores de aproximação sucessiva comerciais possuem resolução de 8 a 18 bits, e o tamanho da sua estrutura aumenta linearmente com o aumento da resolução [9]. Na Figura 2.10 é mostrado um circuito de aproximação sucessiva.

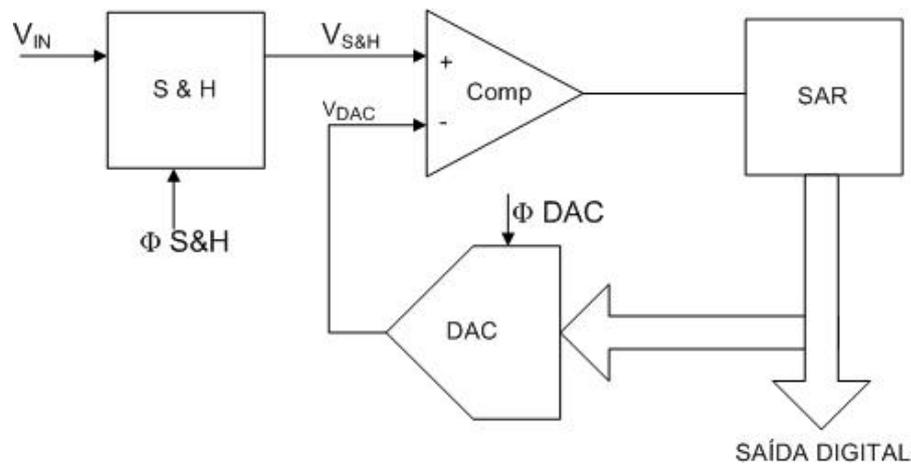


Figura 2.10 – Diagrama básico de um circuito de aproximação sucessiva.

### 2.2.4 CONVERSORES INTEGRADORES

O conversor integrador é aplicado em sistemas de aquisição de dados nos quais o tempo de conversão não é o principal requisito. Sua arquitetura apresenta um tempo de conversão alto, e dependendo da resolução pode demorar alguns segundos para realizar uma conversão por inteiro.

Os ADC integradores atuais são usados para resoluções altas, superiores a 16 bits [10]. Entretanto, o aumento de 1 bit na resolução do conversor eleva o tempo de conversão em duas vezes. A maior vantagem deste conversor é que a sua estrutura permanece praticamente a

mesma com o aumento da resolução. No próximo capítulo são apresentadas as variantes desse tipo de arquitetura e o porquê de sua escolha para o desenvolvimento desse projeto.

### 2.2.5 ARQUITETURA SIGMA-DELTA

Conversores A/D baseados na modulação sigma-delta ( $\Sigma\Delta$ ) combinam amostragem em altas taxas bem acima da frequência de Nyquist com realimentação negativa e filtragem digital a fim de trocar resolução no tempo por amplitude. Estes conversores são mais insensíveis a imperfeições nos circuitos analógicos e a incompatibilidade de componentes, uma vez que empregam geralmente apenas um quantizador simples de dois níveis, e que o quantizador é incorporado dentro de um ciclo de realimentação.

Os conversores sigma-delta são capazes de realizar conversões em altas frequências e com resoluções elevadas de até 24 bits [11]. Muitas aplicações que antes eram realizadas pelos conversores integradores mais antigos, tipo o de aproximação sucessiva, estão sendo feitas por ADC sigma-delta. Na Figura 2.11 pode ser observado um modelo de um modulador  $\Sigma\Delta$  de primeira ordem.

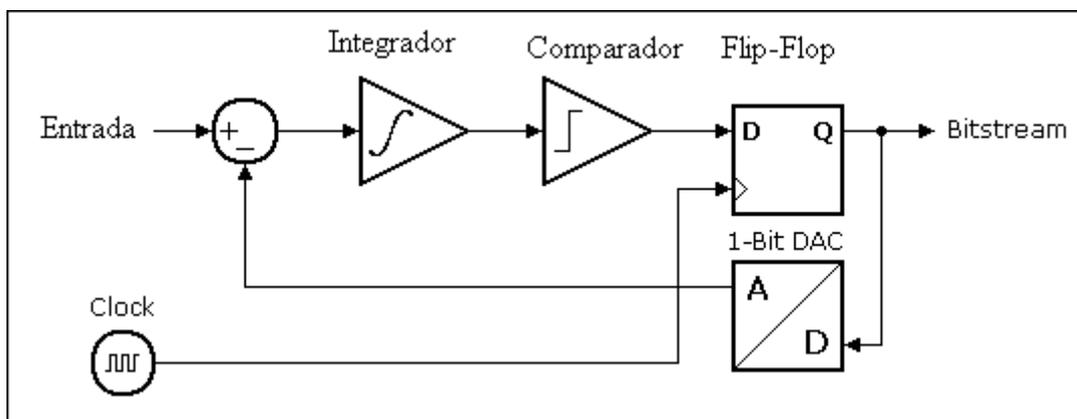


Figura 2.11 – Diagrama de blocos de um modulador  $\Sigma\Delta$ .

## **3    CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR**

Neste capítulo, inicialmente, descrevem-se as estruturas básicas dos ADC classificados como integradores. Por fim, mostra-se uma estrutura a capacitor chaveado aplicada aos conversores integrados.

### **3.1   CONVERSOR INTEGRADOR**

A conversão por integração possui um tempo de conversão longo, o que torna este tipo de ADC adequado para aplicações em que o tempo de conversão não é o requisito mais importante, tais como em medidores de temperatura, multímetros digitais e medidores de painel. Apesar de lentos, o conversor integrador possui estrutura relativamente simples e de baixo custo, que oferecem alta resolução, boa imunidade ao ruído e baixo consumo de energia.

Os ADC integradores funcionam com a integração de um sinal, de referência ou de entrada. Esse sinal alimentará um capacitor, e durante um período de tempo este será carregado ou descarregado. Este tempo é proporcional ao sinal de entrada, e, com o uso de um contador, o sinal é representado de forma digital. Esse método utiliza-se do tempo como uma quantidade intermediária, que corresponde a dois conversores em cascata, um conversor de amplitude para tempo e outro conversor de tempo para digital. Outra vantagem desse tipo de ADC é a sua boa linearidade que garante erros de ganho e de desvio muito baixos. A seguir, apresentam-se os ADC integradores: rampa simples, rampa dupla e rampa múltipla.

#### **3.1.1   CONVERSOR RAMPA SIMPLES**

O conversor rampa simples é o tipo de conversor integrador mais antigo e com operação mais simples e de mais baixo custo. Suas aplicações estão muito limitadas devido à substituição destes ADC por estruturas mais complexas que garantem uma melhor resolução. Na Figura 3.1 é ilustrada a estrutura básica desse tipo de conversor.

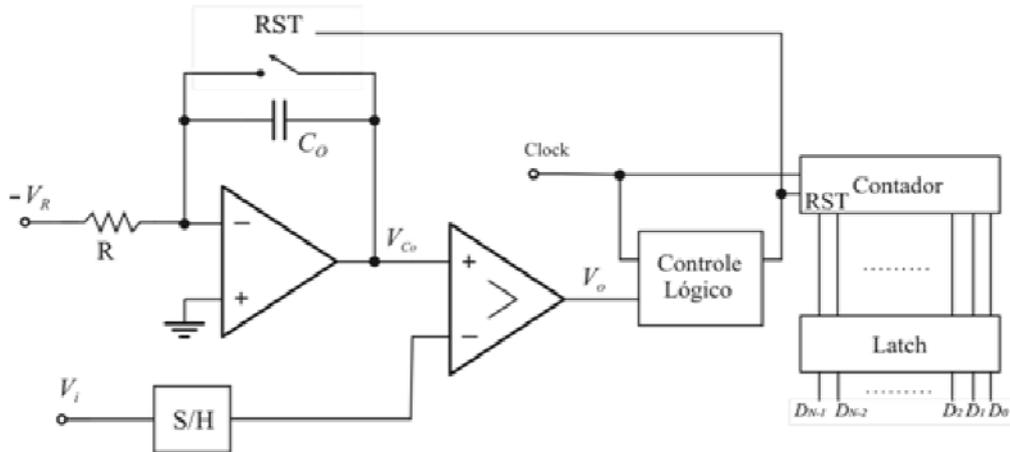


Figura 3.1 – Diagrama de um conversor rampa simples.

No conversor da Figura 3.1, o sinal de entrada  $V_I$  é aplicado na entrada negativa do comparador. No início da conversão, o contador é iniciado em 0 e o integrador é reiniciado fechando-se a chave. O sinal de referência  $-V_R$  é integrado gerando uma função rampa. Enquanto o sinal integrado for menor que o sinal de entrada o contador continua sendo incrementado. Quando o sinal integrado for maior do que o sinal de entrada, o comparador muda o sinal lógico e finaliza a contagem dos pulsos. O valor do contador então é enviado para uma unidade de armazenamento (Latch). Esse valor é a representação digital do sinal de entrada analógico. Na Figura 3.2 são mostradas a tensão na saída do integrador, a saída do comparador e a contagem de pulsos.

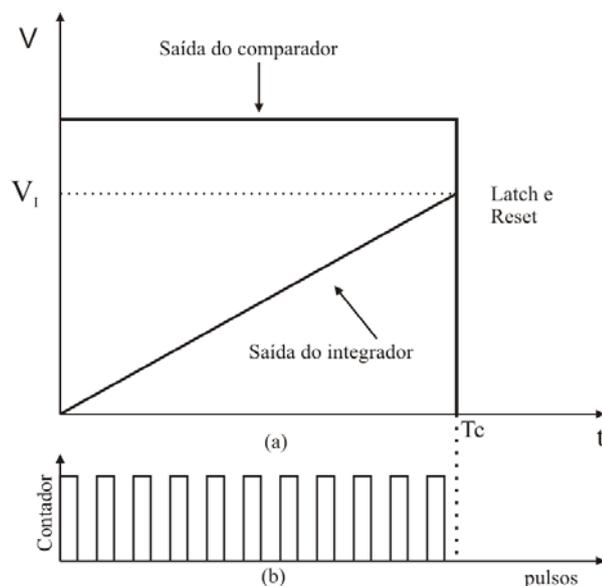


Figura 3.2. Representação das tensões com ADC rampa simples: (a) tensão de saída do integrador e tensão na saída do comparador; (b) pulsos para contagem de bits.

Em aplicações em que o sinal de entrada pequeno, o tempo de conversão é muito menor, pois o sinal de referência integrado será igual ao sinal de entrada em poucos pulsos de relógio. Entretanto, o tempo de conversão se estende quando a tensão de entrada é igual à tensão de referência, esse tempo máximo será de  $2^N$  pulsos de relógio, sendo  $N$  o número de bits do ADC.

O tempo de conversão  $T_C$ , depende do valor do sinal de entrada  $V_I$ , e do tempo do período do relógio  $T_{CLK}$ , como descrito em:

$$T_C = \frac{V_I}{V_R} \cdot 2^N \cdot T_{CLK} \quad (3.1)$$

No final da conversão o valor da tensão no capacitor integrador será:

$$V_{CO} = -\frac{1}{C} \int_0^{T_C} \frac{-V_R}{R} dt = \frac{V_R T_C}{RC} \quad (3.2)$$

Substituindo-se a expressão (3.1) do tempo de conversão  $T_C$  na equação (3.2), resulta em:

$$V_{CO} = \frac{2^N \cdot T_{CLK} \cdot V_I}{RC} = \frac{2^N \cdot V_I}{f_{CLK} \cdot RC} \quad (3.3)$$

No resultado obtido em (3.3) pode-se observar que a tensão na saída do integrador não depende somente da tensão de entrada, mas também dos valores de  $R$ ,  $C$  e  $f_{CLK}$ . Essa dependência é uma grande desvantagem, pois o valor absoluto da constante de tempo depende da precisão absoluta dos componentes passivos e do coeficiente de temperatura destes. Para um resistor e um capacitor esta precisão não é melhor do que 0,1%, mesmo se componentes externos são usados.

Também, a saída do integrador  $V_{CO}$ , que deve ser uma rampa linear, depende das especificações do amplificador operacional (ganho em malha aberta, tempo de acomodação, tensão de desvio, etc.). Uma tensão de desvio na entrada do comparador ou integrador pode aumentar ou diminuir o número de pulsos de relógio no contador, causando erro de ganho.

### 3.1.2 CONVERSOR RAMPA DUPLA

O conversor rampa dupla é baseado na mesma topologia do conversor de rampa simples, com uma lógica adicional que permite eliminar a dependência da conversão com a frequência de relógio e com o capacitor e o resistor de integração.

Este conversor opera basicamente com dois períodos de integração, o que pode tornar a conversão até duas vezes mais lenta que a conversão com o ADC rampa simples, para uma mesma resolução. No entanto, esse conversor permite uma conversão mais precisa, por causa da independência quanto variações paramétricas nos resistores e capacitores. Como ocorrem duas integrações, qualquer variação no valor da resistência, devido, por exemplo, à temperatura, provoca desvios na primeira integração, mas que são cancelados na segunda etapa de integração, mantendo-se a linearidade da conversão.

Na Figura 3.3 pode ser observada a estrutura de um conversor rampa-dupla.

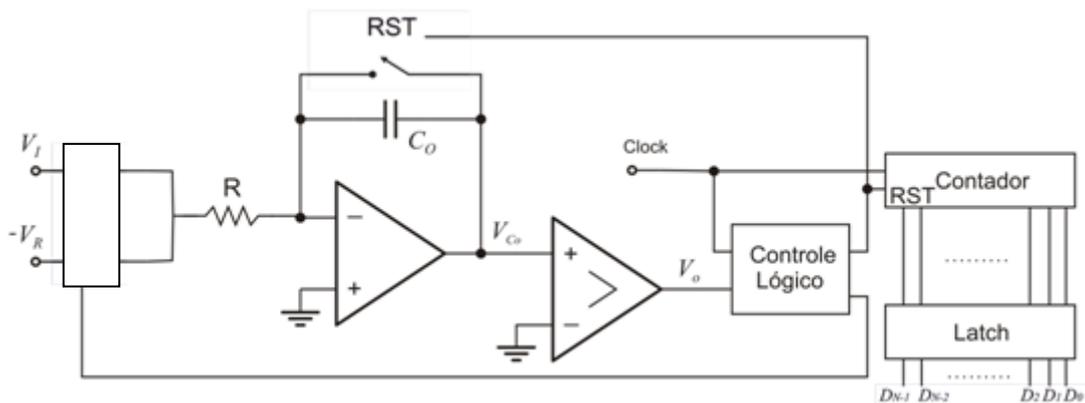


Figura 3.3 – Conversor rampa dupla

Nesta arquitetura são realizadas duas etapas de integração: uma para o sinal de entrada  $V_I$  e a outra para o sinal de referência  $-V_R$ . A tensão de entrada possui polaridade positiva, tal que na saída do integrador a tensão é invertida, resultando numa rampa com declividade negativa na primeira etapa.

A primeira integração sempre ocorre num período fixo  $T_I$ , que é função da frequência de relógio  $f_{CLK}$ , do contador e da resolução  $N$ . Assim, cada incremento de 1 bit de resolução significa um tempo de integração duas vezes maior, o que aumenta bastante o tempo da conversão.

$$T_1 = \frac{2^N}{f_{CLK}} \quad (3.4)$$

Como  $V_I$  é positivo, o capacitor integrador foi inicialmente carregado, gerando uma rampa negativa relacionada por:

$$V_{CO} = -\frac{1}{C} \int_0^{T_1} \frac{V_1}{R} dt = -\frac{V_1 \cdot T_1}{R \cdot C} \quad (3.5)$$

Após  $T_1$ , o contador é zerado e a tensão de referência é conectada para a entrada do integrador iniciando o período de tempo  $T_2$ . Como  $V_R$  é uma tensão negativa, será gerada uma rampa constante com declividade positiva, descarregando o capacitor. A tensão que resulta no capacitor é dada por:

$$V_{CO} = -\frac{1}{C} \int_{T_1}^{T_1+T_2} -\frac{V_R}{R} dt - \frac{V_1 \cdot T_1}{R \cdot C} = \frac{V_R \cdot T_2}{R \cdot C} - \frac{V_1 \cdot T_1}{R \cdot C} \quad (3.6)$$

O intervalo de tempo  $T_2$  é iniciado com a formação da rampa com declividade positiva e dura até o momento em que o capacitor se descarrega por completo. Neste instante, a tensão no capacitor será zero, e substituindo-se  $V_{CO} = 0$  na equação (3.6) obtém-se:

$$\frac{V_1 \cdot T_1}{R \cdot C} = \frac{V_R \cdot T_2}{R \cdot C} \rightarrow V_1 = \frac{V_R \cdot T_2}{T_1} \quad (3.7)$$

A equação (3.7) demonstra que a dependência de  $R$  e  $C$  foi cancelada. Considerando que o tempo  $T_1$  equivale a  $2^N$  e o tempo  $T_2$  é uma variável, denominada de  $D$ , a equação pode ser reescrita como:

$$D = \frac{2^N \cdot V_I}{V_R} \quad (3.8)$$

A variável  $D$  representa o valor digital da conversão. Na Figura 3.4 são mostradas as rampas do período  $T_1$  (aumento da tensão do capacitor, em módulo), conhecida como *runup*, e as do período  $T_2$ , conhecida como *rundown*, e a contagem de pulsos dos seus períodos.

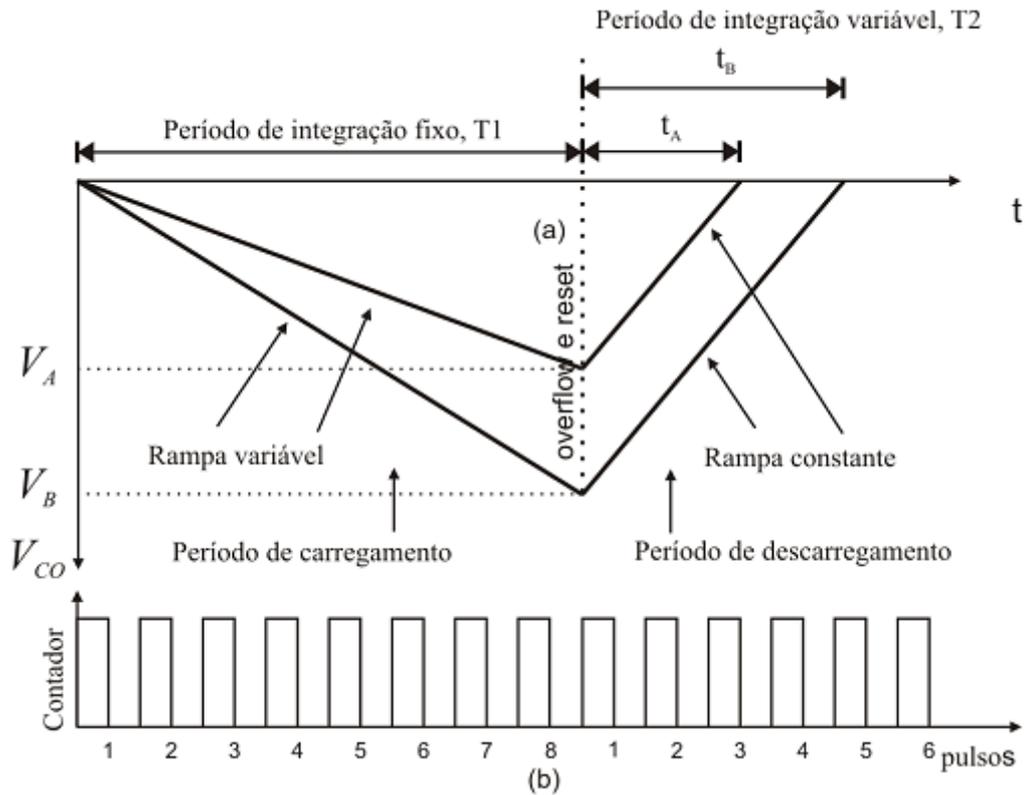


Figura 3.4 – Tensão na saída do integrador do conversor rampa-dupla e a contagem de pulsos.

Um fator que insere erros na resolução, e assim limita o funcionamento deste conversor é a tensão de desvio (*offset*) do amplificador. Com a finalidade de reduzir o *offset*, outras estruturas foram propostas, tais como o conversor rampa múltipla que é o tema da próxima seção desse capítulo.

### 3.1.3 CONVERSOR RAMPA MÚLTIPLA RUNUP

O conversor rampa múltipla *runup* permite obter resolução superior à do conversor rampa dupla, ao superar os limites deste quanto à variação máxima de tensão do integrador e o ruído do circuito em largura de banda [12].

A arquitetura do conversor analógico-digital integrador rampa múltipla em tempo contínuo é mostrada na Figura 3.5. O conceito desta arquitetura é que o sinal de entrada está sempre aplicado enquanto as tensões de referência  $+V_R$  e  $-V_R$  são aplicadas em cada instante  $k$ , através das chaves  $P$  e  $N$ , durante um intervalo de tempo fixo  $\Delta t$ , dependendo se a tensão de saída do integrador for negativa ou positiva, respectivamente.

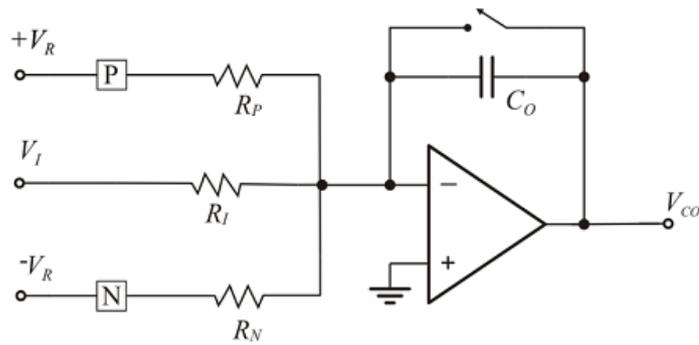


Figura 3.5 – Diagrama esquemático do integrador do conversor rampa múltipla *runup* de tempo contínuo.

Para cada instante de tempo, as tensões de referência são aplicadas e os contadores  $N_P$  e  $N_N$  são incrementados, respectivamente. A carga total acumulada no capacitor de saída após  $N$  períodos de tempo é dada pela soma das contribuições de carga da tensão de entrada e das tensões de referência positiva e negativa, o que resulta numa tensão de saída:

$$V_{CO} = - \frac{\frac{NV_I \Delta t}{R_I} + \frac{N_P V_P \Delta t}{R_P} - \frac{N_N V_N \Delta t}{R_N}}{C_O} \quad (3.9)$$

Considerando que a carga no capacitor de saída seja zero no final da conversão, a relação entre o sinal de entrada e o número das contagens positivas e negativas é dada por:

$$V_I = \left( \frac{N_N}{R_N} - \frac{N_P}{R_P} \right) \cdot \frac{R_I}{N} \cdot V_R \quad (3.10)$$

Em que  $N = N_P + N_N$  é o número total de períodos de tempo necessários para uma conversão analógico-digital completa.

A tensão na saída do integrador varia em torno da tensão de comparação, formando rampas, cuja declividade é decidida no instante final de cada pulso de relógio. Neste instante, se a tensão na saída do integrador for maior que zero, a chave  $P$  é fechada, e a declividade da rampa torna-se negativa. Caso contrário, se a tensão  $V_{CO}$  for menor que zero, a chave  $N$  é fechada, e a declividade torna-se positiva. Na Figura 3.6 é mostrada a forma de onda na saída do integrador para uma tensão de comparação zero.

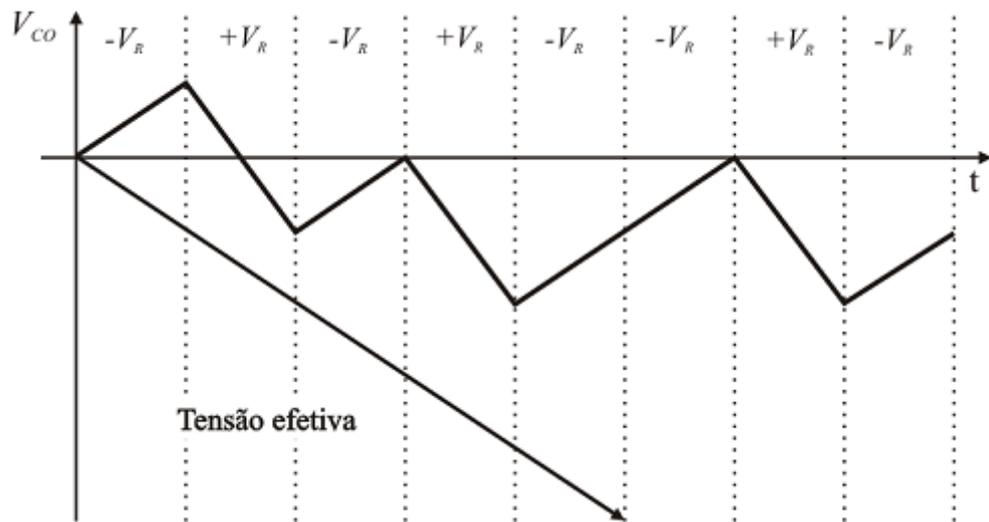


Figura 3.6 – Tensão na saída do integrador do conversor rampa múltipla *runup*.

A linha de tensão efetiva representa a variação de tensão na saída do integrador, sem a contribuição da tensão de referência, o que acontece, por exemplo, no conversor rampa dupla. A saída do integrador permanece dentro dos limites de tensão de operação do circuito enquanto que a tensão efetiva da rampa varia bem além do seu limite. Com isso, é possível obter uma variação de tensão muito maior durante dois pulsos de relógio do que no integrador rampa dupla, reduzindo o efeito das tensões de desvio do amplificador e comparador.

A arquitetura proposta é baseada no conversor analógico-digital integrador multi-rampa de tempo contínuo, mas empregando a técnica de capacitores chaveados no lugar de resistores. O que permite uma melhor precisão no conversor devido ao fato de permitir um melhor casamento entre os capacitores do que o obtido entre resistência e capacitor, além de ser menos sensíveis a mudança de temperatura.

### 3.2 CIRCUITOS A CAPACITORES CHAVEADOS

A idéia principal da técnica de capacitores chaveados consiste na substituição de resistores por capacitores acionados por chaves permitindo, simultaneamente, a redução de área de silício e o aumento da precisão na implementação dos circuitos. Um resistor pode ser simulado com o uso de um capacitor e um par de chaves analógicas (Figura 3.7) que são acionadas de forma alternada e não simultânea.

A aplicação do circuito chaveado permite precisão melhor do que o uso de um resistor, pois, a incerteza da razão entre dois capacitores é menor que a incerteza da razão entre um resistor e um capacitor, numa mesma pastilha de circuito integrado [13].

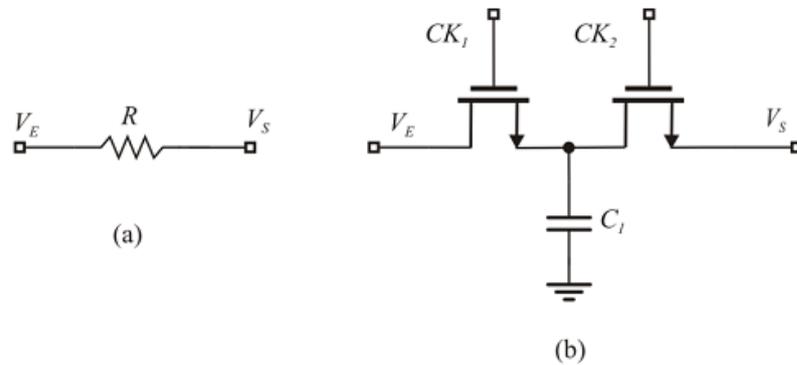


Figura 3.7 – Resistor simulado (a), com a técnica de capacitores chaveados (b).

Para o circuito da Figura 3.7, na fase  $CK_1$ , a chave 1 é fechada e a chave 2 é aberta e, na fase  $CK_2$ , alternam os respectivos estados. As fases  $CK_1$  e  $CK_2$  que comandam o fechamento das chaves são pulsos que se repetem a cada intervalo de tempo  $T$ . Na fase 1, o capacitor  $C_1$  é carregado com a tensão  $V_E$ . Na transição de fases, ao abrir a chave 1, o capacitor continua armazenando a carga  $Q_1 = C_1 V_E$ . Em seguida, ocorre o fechamento da chave 2, e a carga armazenada no capacitor se torna  $Q_2 = C_1 V_S$ . Assim, a carga transferida de  $V_E$  até  $V_S$  em cada período de tempo  $T$  é dada pela equação (3.11).

$$\Delta Q = C_1 \cdot (V_E - V_S) \quad (3.11)$$

Se este processo de chaveamento é repetido  $n$  vezes no tempo, obtém-se:

$$\frac{\Delta q}{\Delta t} = C_1 \cdot (V_E - V_S) \cdot \frac{n}{\Delta t} \quad (3.12)$$

Na última equação, considerando-se a corrente e a frequência de relógio, obtém-se:

$$i = C_1 \cdot (V_E - V_S) \cdot f_{CLK} \quad (3.13)$$

Determina-se dessa forma o valor da resistência equivalente da estrutura com capacitor chaveado.

$$\frac{(V_E - V_S)}{i} = R = \frac{1}{C_I \cdot f_{CLK}} \quad (3.14)$$

O valor da resistência equivalente é proporcional à frequência de chaveamento e à capacitância, o que possibilita aplicações flexíveis em filtros e conversores analógico-digitais.

O resistor a capacitor chaveado mostrado na Figura 3.7, por ser muito sensível a capacitâncias parasitas, possui pouco uso em projeto de circuitos integrados. Outra estrutura a capacitor chaveado, mostrada na Figura 3.8 (a), é uma das mais adotadas como solução para simulação de resistores.

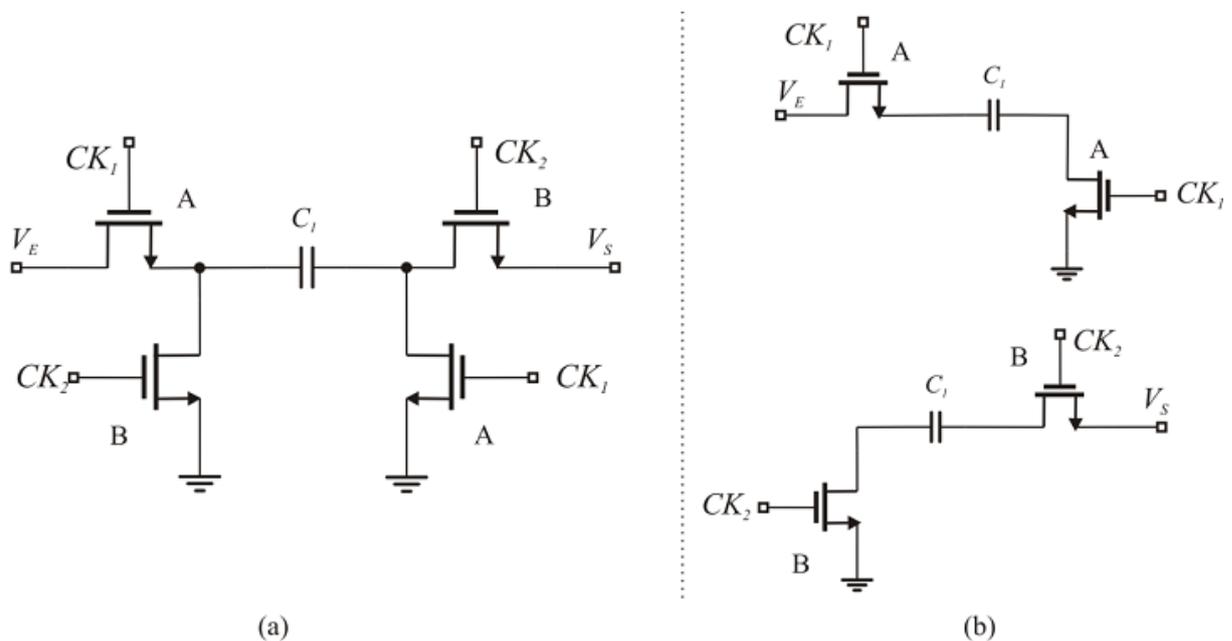


Figura 3.8 - Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo inversor de tensão.

Outra vantagem da configuração mostrada na Figura 3.8 (a) é que esta é útil quando se precisa inverter a tensão de entrada ( $V_E$ ), que depende da operação das chaves. O módulo da resistência equivalente desta estrutura é dado pela Equação (3.14).

Para inverter a tensão de entrada, uma carga de  $V_E$  é inicialmente acumulada no capacitor  $C_I$ , operação realizada quando as chaves  $A$  são ativadas pela fase de relógio  $CK_1$ . Em um segundo momento, as chaves  $B$  são ativadas por  $CK_2$ , e uma tensão com polaridade invertida é injetada na saída do circuito. A operação é mostrada na Figura 3.8 (b).

Para simular uma tensão sem inversão de fase, a carga de  $V_E$  é inicialmente acumulada no capacitor  $C_I$ , e transmitida à saída do circuito, quando as chaves  $A$  estão ativadas pela fase

de relógio  $CK_1$ . Em um segundo momento, as chaves  $B$  são ativadas por  $CK_2$ , para que o capacitor  $C_I$  seja descarregado. A operação é mostrada na Figura 3.9 (b).

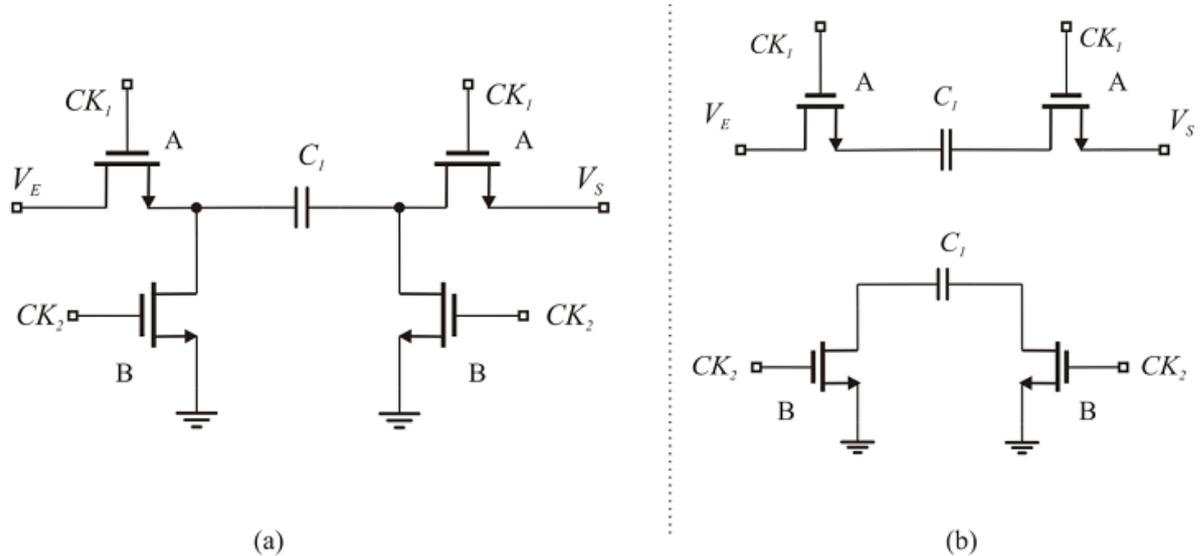


Figura 3.9 - Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo não-inversor.

Como as relações de capacitores podem ser implementadas em tecnologia CMOS com precisão de 0,1%, e a frequência de amostragem pode ser precisamente controlada pela frequência do relógio, as constantes de tempo no circuito a capacitores chaveados são muito mais precisas do que aquelas do circuito original RC-ativo.

Além da precisão, outra vantagem apresentada pelos circuitos a capacitores chaveados é a grande redução da área necessária para simular um resistor em comparação com a fabricação direta de  $R$ . Por exemplo, simulando um resistor de  $10\text{ M}\Omega$ , usando frequência de amostragem de  $100\text{ kHz}$ , a área utilizada no circuito integrado seria cerca de 400 vezes menor [14].

## 4 ARQUITETURA DO CONVERSOR A/D PROGRAMÁVEL

Neste capítulo, descreve-se a arquitetura utilizada para tornar a faixa de entrada do ADC programável. Um conversor com faixa de entrada flexível é projetado usando-se uma capacitância variável na entrada do circuito. Isso proporciona faixas variáveis de tensão de entrada. Cada faixa é proporcional a um ganho pertencente a um conjunto discreto de ganhos [1], cujos valores e a escolha destes garantem uma medição sem perda da faixa de medição e com mínima perda de resolução. Por fim, são mostradas as especificações para o projeto do conversor A/D desenvolvido.

### 4.1 FAIXA DE ENTRADA DO ADC

A faixa de tensão de entrada é a diferença entre o valor máximo e o mínimo de entrada do sinal analógico especificada para o ADC. A faixa do ADC considerado possui um limite superior igual ao valor da tensão de referência e um inferior igual à zero.

Numa conversão ideal, a faixa de tensão do sinal de entrada deve ser igual à faixa do ADC. Na prática é comum ter essas duas faixas não compatíveis, o que proporciona perda de resolução ou da faixa de medição que é dada por:

$$N_L = \log_2 \left( \frac{\Delta_{ADC}}{\Delta_{VI}} \right) \quad (4.1)$$

Na Figura 4.1, mostra-se a faixa do sinal ( $\Delta V_I$ ) de 0 V a 2,3 V, e a faixa de entrada do ADC ( $\Delta_{ADC}$ ) de 0 a 2,56 V. Nesse caso o sistema de medição terá perda de resolução inferior a 1 LSB.

Quando a faixa do sinal é inferior à faixa do ADC há perda na resolução, que pode ser compensada com o uso de um conversor com resolução maior. Uma faixa do sinal superior à do ADC leva a uma perda de medição em uma parte da faixa do sinal, que não pode ser recuperado. Neste trabalho, o conversor proposto é projetado para uma perda de resolução máxima de 1 bit, e medição da faixa completa do sinal.

Um ADC com faixa de entrada programável permite o ajuste da sua faixa de entrada para que fique próxima à faixa do sinal. Para se obter um ADC com tal programabilidade, deve-se usar uma estrutura que possibilite ganhos no sinal analógico da entrada do conversor.

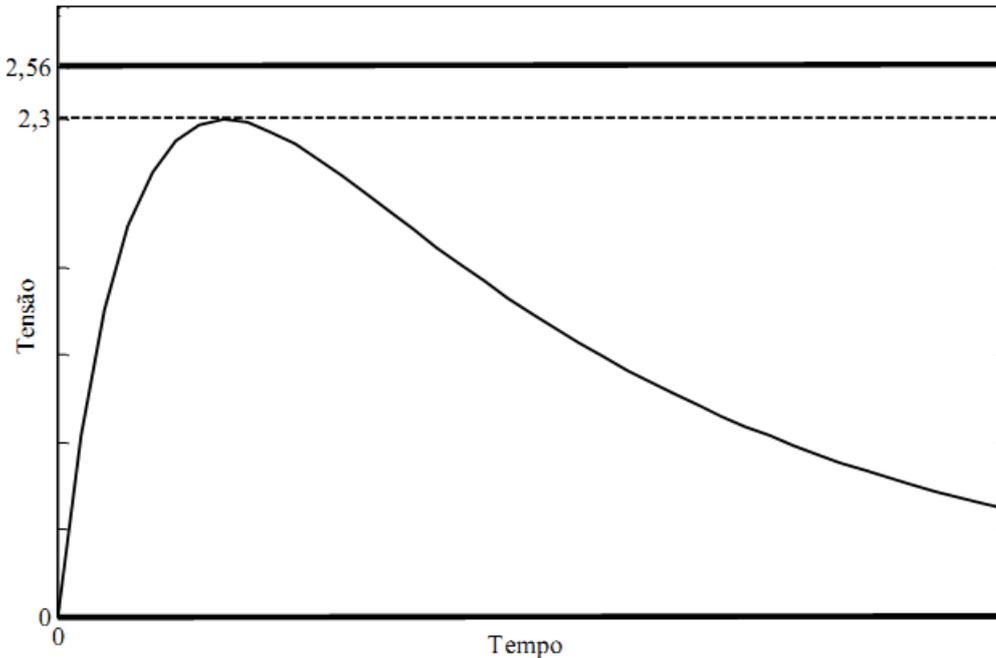


Figura 4.1 – Exemplo de faixa do sinal e faixa de entrada do ADC.

A faixa de entrada programável do ADC ajusta-se à faixa do sinal, para reduzir perdas quando sensores diferentes são usados, o que generaliza a aplicação do conversor. Para se obter um ADC com tal programabilidade, deve-se usar uma estrutura que possibilite ganhos no sinal analógico da entrada do conversor.

Com a arquitetura do ADC integrador rampa múltipla, a capacitância de entrada é o parâmetro escolhido para viabilizar diferentes níveis de faixas dinâmicas do ADC, semelhante à estrutura mostrada na Figura 4.2. Para cada valor de capacitância na entrada, haverá um ganho de tensão, resultando em uma faixa de entrada específica.

Para cada valor de capacitância na entrada, haverá um ganho de tensão, resultando em uma faixa de entrada específica. Nos itens seguintes, explica-se melhor a influência da programação do capacitor de entrada na flexibilidade da faixa de entrada do ADC.

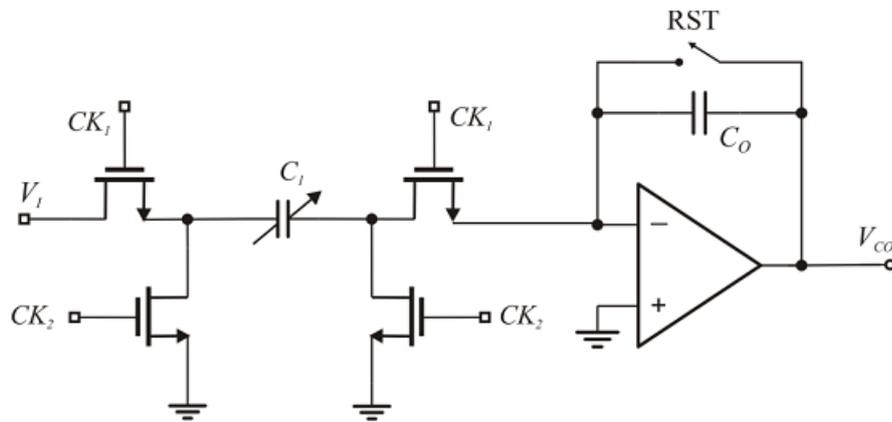


Figura 4.2 – Capacitor programável na entrada do integrador.

## 4.2 CONJUNTO DE GANHOS

Os ganhos teóricos aplicados na faixa de entrada do ADC pertencem a um conjunto de valores discretos, para uso em um sistema de medição em que se utiliza de sensores com sinais de faixas diferentes.

Para uma estrutura igual à da Figura 4.2, cada capacitância na entrada do amplificador é proporcional a um valor do conjunto de ganhos, o que proporciona um ganho no sinal analógico. Para obterem-se essas capacitâncias diferentes na entrada do amplificador é usado um capacitor programável.

O cálculo dos valores do conjunto de ganhos é baseado em três especificações: faixa de entrada do conversor, perda de resolução máxima aceitável e os valores de ganho mínimo e máximo ideais. Tal procedimento foi descrito em [1].

Para o projeto do conversor analógico-digital proposto considera-se a sua faixa de entrada 0 a 2,56 V, a perda máxima de resolução aceitável igual a 1 bit, e os valores de ganho mínimo  $G_{min} = 1$  e máximo  $G_{max} = 32$ . O conjunto completo de programação,  $\Gamma$ , consiste de  $n_G$  valores de ganho:

$$\Gamma = \{G_1, \dots, G_{n_G}\}, \text{ com } G_1 < \dots < G_{n_G} \quad (4.2)$$

A razão máxima entre os valores de ganho separados por dois passos de programação,  $r$ , é dada em função do valor máximo de perda de resolução:

$$r = 2^{N_{LMax}} \quad (4.3)$$

Para uma perda de resolução máxima de  $NL_{Max} = 1$  LSB, tem-se  $r = 2$ . A relação entre os valores de ganho é dada por:

$$G_{2i+1} = rG_{2i-1} \quad (4.4)$$

Em que:

$$i = 1, \dots, \lfloor (n_G + 1) / 2 \rfloor \quad (4.5)$$

Para determinar a relação entre dois valores de ganho consecutivos a razão  $r$  pode ser decomposta em duas frações  $q$  e  $s$ , de forma que  $r = q \cdot s$ . Para obter valores de implementação fácil, são usados os valores  $q = 4/3$  e  $s = 3/2$ .

O conjunto completo de valores de ganho é definido por uma série não uniforme, em função de  $s$  e  $r$ , que pode ser escrita por:

$$\Gamma = \left\{ a, as, ar, asr, \dots, as^{(n_G=par)} r^{\lfloor \frac{n_G-1}{2} \rfloor} \right\} \quad (4.6)$$

Para valores pares, o expoente da fração  $s$  será igual a um ou caso contrário igual a zero. O primeiro valor de ganho, que corresponde ao primeiro termo da série, é definido como:

$$a = G_1 = \frac{G_{min}}{s} \quad (4.7)$$

Substituindo-se o valor de  $G_{min}$  e  $s$ , tem-se:

$$a = \frac{1}{3/2} = 0,66 \quad (4.8)$$

O número de valores de programação de ganho pode ser determinado por:

$$n_G = 2\eta + \left\lceil \frac{G_{max}}{sr^\eta} \geq 1 \right\rceil \quad (4.9)$$

Com:

$$\eta = \left\lceil \log_r \left( \frac{G_{\max}}{a} \right) \right\rceil \quad (4.10)$$

Dessa forma encontra-se  $\eta=5$ . Substituindo-se o valor de  $\eta$  na equação (4.9), obtêm-se:

$$n_G = 10 \quad (4.11)$$

Portanto para ganhos com  $n_G$  valores, é obtido da equação (4.6), resultando em:

$$G = \{a, as, ar, asr, ar^2, asr^2, ar^3, asr^3, ar^4, asr^4\} \quad (4.12)$$

Substituindo-se os valores de  $a$ ,  $r$  e  $s$ , e desconsiderando-se o valor de ganho 0,66 para essa aplicação, obtêm-se:

$$\Gamma = \{1; 1,5; 2; 3; 4; 6; 8; 12; 16\} \quad (4.13)$$

Uma vez que o ganho não pode ser sobredimensionado, a fim de evitar perda de faixa de medição, a escolha do ganho a ser aplicado tem a seguinte forma. O ganho de 1 cobre os valores de 1,5 a 2; O ganho de 2 cobre os ganhos de 3 a 4; O ganho de 8 cobre de 12 a 16; O ganho de 12 cobre de 16 a 24; O ganho de 16 cobre de 24 a 32.

### 4.3 CAPACITOR PROGRAMÁVEL

O capacitor programável  $C_I$  utilizado no integrador mostrado na Figura 4.2 é composto por capacitores múltiplos do valor da capacitância de realimentação  $C_O$  e proporcional aos valores do conjunto de ganhos encontrados na equação (4.13). Com o valor da capacitância  $C_O$  sendo igual a 200 fF, obtêm-se um conjunto de capacitâncias na entrada dado por:

$$C_I = \{1; 1,5; 2; 3; 4; 6; 8; 12; 16\} C_O = \{200; 300; 400; 600; 800; 1200; 1600; 2400; 3200\} \text{ fF} \quad (4.14)$$

Esses valores de capacitância na entrada são obtidos através da organização de um banco de capacitores em paralelo controlados por uma lógica digital. Essa estrutura será demonstrada detalhadamente no próximo capítulo.

No entanto esse banco de capacitores de entrada pode ter seus valores definidos em função de outras capacitâncias. Nesse projeto esse capacitor programável foi definido com capacitâncias proporcionais a uma referência. Apesar da capacitância de entrada não ter sido

definida com relação à capacitância de realimentação, tal deve ser dimensionada para que a tensão na saída do integrador não sature.

Nesse projeto o conversor A/D proposto possui uma faixa de entrada máxima variando de 0 a 2,56 V, com um capacitor de integração  $C_O$  de 600 fF e um capacitor de referência de 200 fF. A faixa de entrada se torna flexível com a utilização do banco de capacitores  $C_I$ , e sua variação é mostrada na Tabela 4.1, e é dada em função de  $C_R$  e  $V_R$  por:

$$V_{I_{MAX}} = V_R \frac{C_R}{C_I} \quad (4.15)$$

Pode-se considerar que reduzir a faixa de entrada do conversor ( $V_{I_{max}}$ ) é equivalente a dar um ganho no sinal de entrada ( $V_I$ ). Esse ganho é proporcional ao valor da razão entre a nova capacitância de entrada  $C_I$  e a capacitância de realimentação  $C_O$ , a tensão no capacitor de alimentação é dada por:

$$V_{CO} = V_I \frac{C_I}{C_O} \quad (4.16)$$

Tabela 4.1 - Relação: capacitor de entrada  $C_I$ , ganho no sinal de entrada e faixa de entrada.

Capacitor de entrada (fF)	Ganho no sinal de entrada ( $C_I/C_O$ )	Faixa de entrada do ADC (V)
<b>200</b>	0,33	0 a 2,56
<b>300</b>	0,5	0 a 1,7
<b>400</b>	0,66	0 a 1,28
<b>600</b>	1	0 a 0,85
<b>800</b>	1,33	0 a 0,64
<b>1200</b>	2	0 a 0,42
<b>1600</b>	2,66	0 a 0,32
<b>2400</b>	4	0 a 0,21
<b>3200</b>	5,33	0 a 0,16

Vale lembrar que os cálculos dos valores das faixas de entrada na Tabela 4.1 são teóricos e máximos, pois não levam em consideração as incertezas na implementação dos componentes e nem os ruídos presente no sinal de entrada.

#### 4.4 ESPECIFICAÇÃO DO CONVERSOR A/D

O conversor projetado nesse trabalho possui quatro modos de operação sendo eles: terminação única, diferencial, terminação única com ajuste CC e calibração. As faixas de entrada do conversor foram mostradas na Tabela 4.1.

O conversor foi desenvolvido para uma resolução de 8 bits, podendo se escolher uma resolução menor através das chaves de seleção, o que permite uma velocidade maior para aplicações que não necessitem de uma resolução alta. Como a arquitetura não é modificada com a mudança de resolução o conversor pode ser usado para resoluções maiores também. No entanto, devido às limitações de simuladores e computadores, simulações funcionais foram realizadas apenas para a resolução de 8 bits. Uma vez que o circuito integrado seja fabricado, testes experimentais com entrada tipo rampa poderão ser realizados para determinar o limite operacional do conversor A/D.

Os componentes utilizados no projeto desse conversor A/D foram desenvolvidos na tecnologia AMS 0.35 $\mu$  em função das especificações da Tabela 4.2.

Tabela 4.2 – Especificações do conversor proposto.

<b>Perda de resolução máxima</b>	1 Bit
<b>Ganho mínimo</b>	1
<b>Ganho máximo</b>	32
<b>Faixa de entrada máxima</b>	0 a 2,56 V
<b>Resolução</b>	8 Bits
<b>Frequência de relógio</b>	1 MHz
<b>Tensão de alimentação</b>	3,3 V

## 5 PROJETO DO CONVERSOR ANALÓGICO-DIGITAL

Neste capítulo descreve-se o projeto do conversor analógico-digital integrador a capacitores chaveados com faixa de entrada e resolução programável.

### 5.1 CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR

A arquitetura do conversor analógico-digital rampa-múltipla runup de tempo contínuo não é adequada para projetos de circuitos integrados, devido à presença de resistores, o que ocupa muito espaço no waffer e aumenta o consumo de potência do circuito.

A arquitetura proposta completa é mostrada na Figura 5.1. Ela utiliza apenas uma tensão e um capacitor para implementar a transferência de cargas positivas e cargas negativas da referência para o integrador. A operação de adição ou subtração de cargas do integrador é realizada através da seleção adequada da sequência de chaveamento, de acordo com o resultado da tensão de saída do circuito comparador.

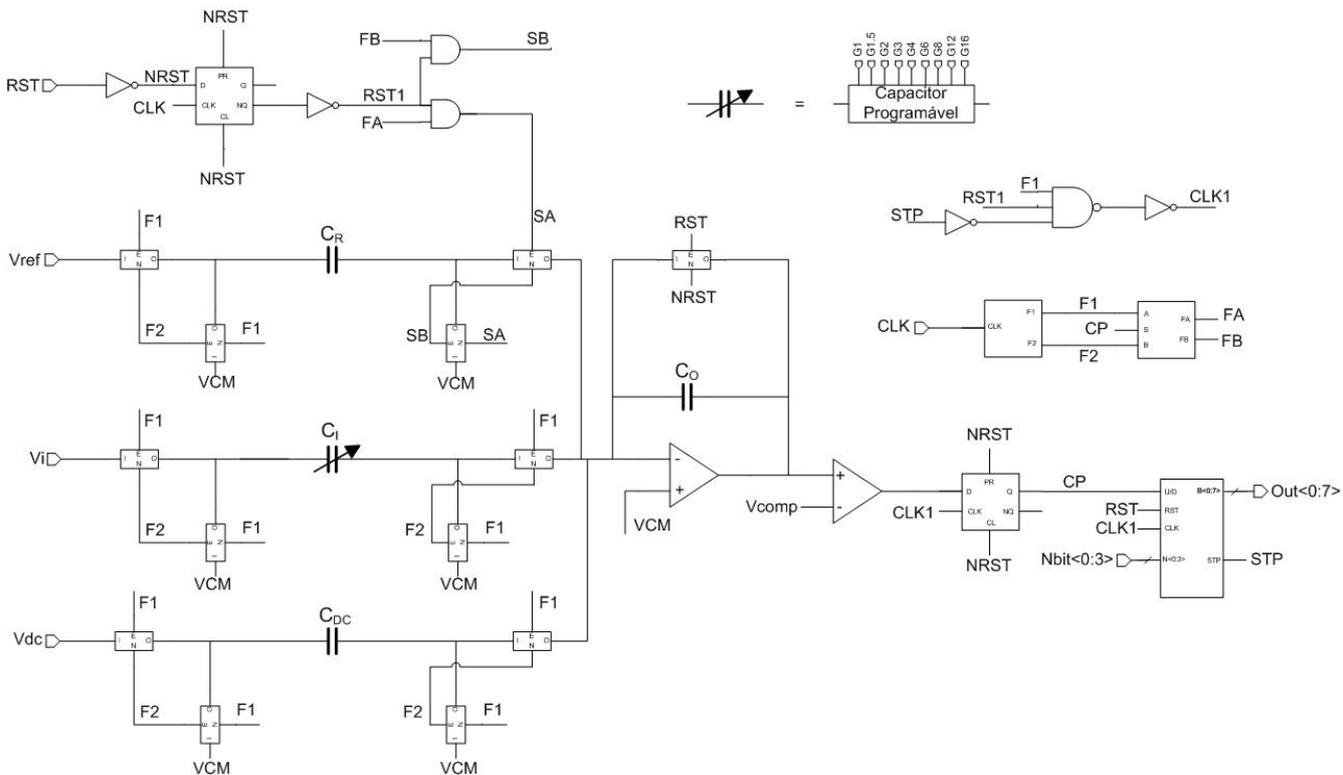


Figura 5.1 – Arquitetura do conversor analógico-digital rampa múltipla a capacitor chaveado.

O comportamento dos circuitos a capacitor chaveado é de grande importância na operação do conversor devido a duas razões. Primeiramente, a resistência de condução das chaves limita a frequência de operação do circuito. Segundo, as chaves injetam cargas, o que afeta o desempenho do conversor. Como a chave complementar permite uma redução na injeção de carga, em comparação com as chaves simples NMOS e PMOS, esta foi escolhida para o projeto do conversor [15].

## 5.2 DESCRIÇÃO DA OPERAÇÃO DO CIRCUITO

O circuito apresentado na Figura 5.1 opera com duas fases de clock não sobrepostas,  $f_1$  e  $f_2$ , que controla o fechamento e a abertura das chaves “1” e “2”, respectivamente. As chaves “A” e “B” são, também, controladas pelas fases  $f_1$  e  $f_2$  se a tensão de saída do circuito comparador for um nível lógico “1”, caso contrário, se o nível lógico na saída do comparador for “0”, as chaves “A” e “B” são controladas por  $f_2$  e  $f_1$ , respectivamente como demonstrado na Figura 5.2.

No início da conversão, o capacitor de saída é colocado em zero através da chave de RST, que permanece aberta durante todo o tempo da conversão. Na fase  $f_1$ , têm-se os contadores  $N_P$  e  $N_N$  inicialmente zerados e o início de carregamento do capacitor  $C_I$ . Na fase  $f_2$ , a tensão no capacitor de saída é igual ao valor do sinal de entrada multiplicado pelo ganho  $C_I/C_o$ , completando um ciclo.

Na fase  $f_1$  do segundo ciclo, se a tensão do capacitor de saída for maior que a tensão na entrada inversora do comparador, a sequência de fechamento das chaves será, primeiramente, “A”, subtraindo a tensão do capacitor de saída pelo produto da tensão de referência com o ganho  $C_R/C_o$  e depois “B” que descarregará  $C_R$ .

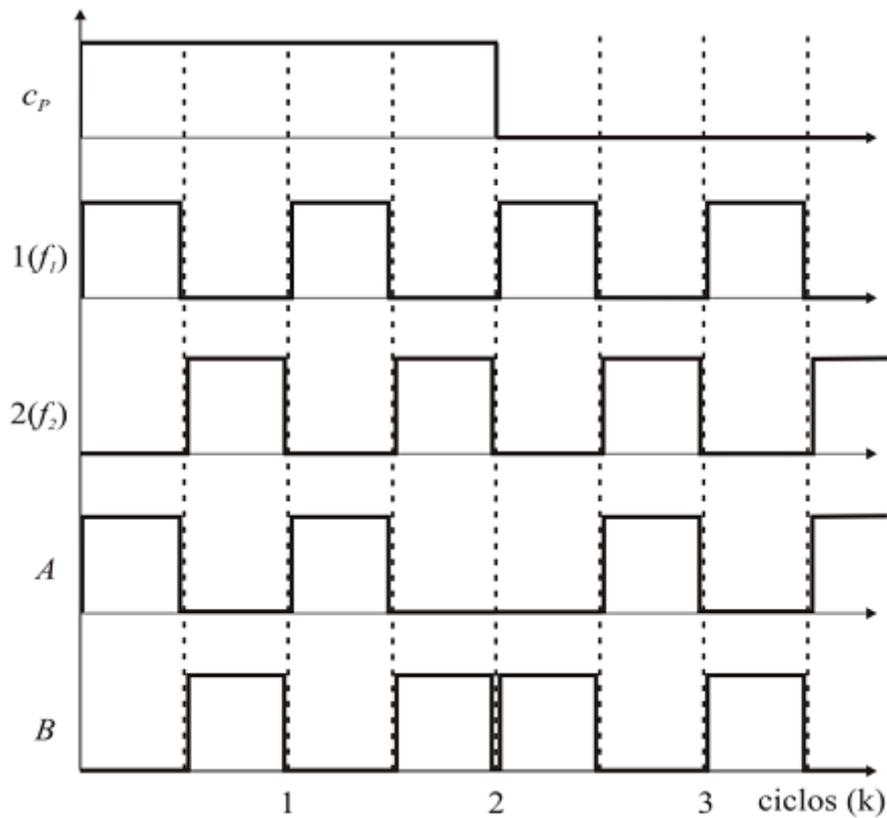


Figura 5.2 – Sinais que controlam a operação das chaves no conversor.

Caso contrário, se a tensão do capacitor de saída for menor que a tensão na entrada inversora do comparador, a sequência de fechamento das chaves será “B” e depois “A”, somando a tensão de referência, multiplicada pelo ganho  $C_R/C_o$ , e a tensão do sinal de entrada, multiplicada pelo ganho  $C_I/C_o$ , ao capacitor de saída.

No final de cada ciclo, os contadores são incrementados ou decrementados de acordo com o nível lógico do comparador. O processo de conversão descrito continua até atingir  $N$  ciclos, onde  $N = 2^{r+1}$ , e  $r$  é a resolução do conversor em bits.

Para esta arquitetura, a relação da tensão de entrada e da contagem positiva e negativa pode ser encontrada por:

$$V_I = \left( \frac{N_N - N_P}{N} \right) \frac{C_R}{C_I} V_R \quad (5.1)$$

Nessa última equação, pode-se observar que para uma tensão de referência e capacitor de referência constantes, a faixa de entrada do conversor é variável de acordo com a variação do valor da capacitância de entrada  $C_I$ . Dessa forma, um bloco de capacitor programável,

formado com um conjunto de valores de capacitâncias será usado para permitir a variação das faixas e entrada do conversor.

### 5.3 FAIXA DINÂMICA DOS VALORES DE PROGRAMAÇÃO

O capacitor programável foi projetado de tal forma que seu valor mínimo é igual a  $C_R$ . O valor máximo de  $V_I$  em (5.1) define a faixa de entrada. Assim, o valor de  $C_I$  pode ser determinado por:

$$C_I = \frac{V_R}{V_{I_{MAX}}} C_R \quad (5.2)$$

Reduzindo a faixa dinâmica de entrada é equivalente a aplicar um ganho ao sinal de entrada. Na arquitetura proposta, para fins de demonstração, foram escolhidos cinco valores de capacitâncias pertencentes ao conjunto de ganhos definido no capítulo anterior para o capacitor programável, para simulação. Na Figura 5.2 são mostrados os valores dos capacitores e faixa dinâmica máxima correspondente do conversor para cada capacitância.

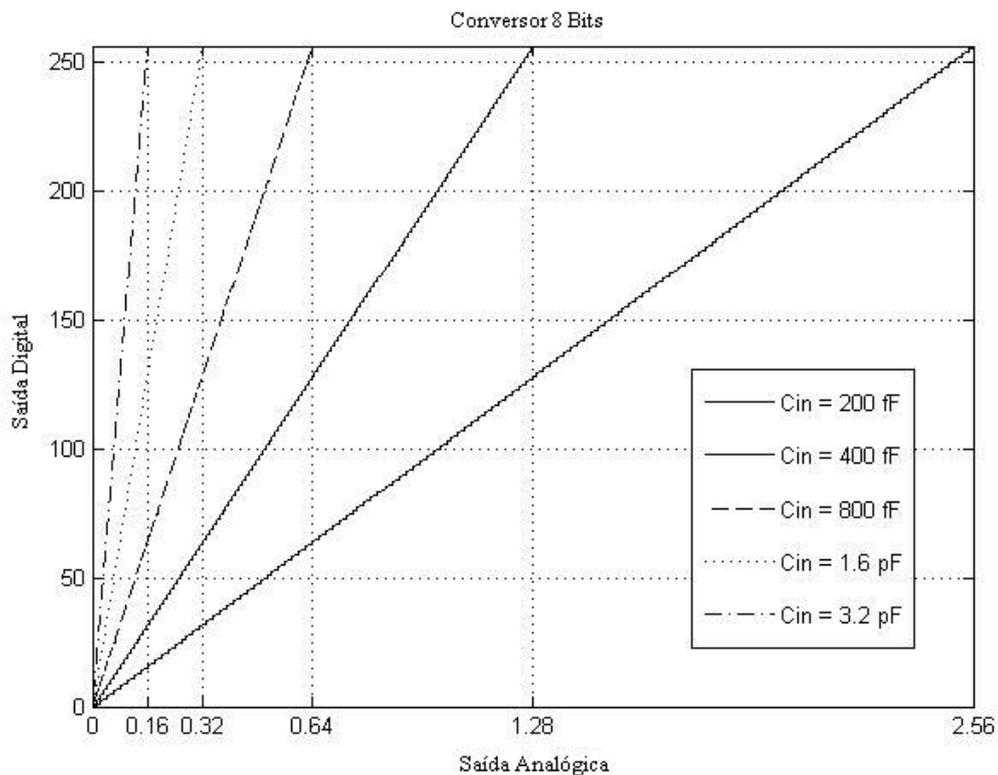


Figura 5.3 - Simulação da faixa dinâmica de entrada do conversor para cinco valores do capacitor programável.

## 5.4 MODOS DE OPERAÇÃO

A fim de proporcionar à arquitetura apresentada do conversor rampa múltipla discreto, flexibilidade de medição quanto ao tipo de sinal de entrada, modos diferentes de operação do conversor podem ser selecionados. Os modos de operação usados no conversor são: sinais de terminação única, sinais diferenciais, ajuste CC e calibração.

Na Tabela 5.1 são mostradas tensões na Entrada 1, Entrada 2 e Ajuste CC de acordo com o modo de operação desejado.

Tabela 5.1 – Modos de operação do ADC e valores nas Entrada 1, 2 e Ajuste CC.

Modo	Entrada 1	Entrada 2	Ajuste CC
Terminação Única	$V_{i+}$	$V_{CM}$	$2 \times V_{CM}$
Diferencial	$V_{i+}$	$V_{i-}$	$3 \times V_{CM}$
Terminação Única com Ajuste CC	$V_{i+}$	$V_{CM}$	$2 \times V_{CM} + V_{DC}$
Calibração	$V_{DC}$	$V_{CM}$	$2 \times V_{CM}$

A tensão  $V_{CM}$ , chamada de tensão de modo comum, está sendo utilizada para o funcionamento do circuito do amplificador operacional juntamente com as chaves utilizadas no capacitor chaveado, para evitar erros que ocorreriam na transferência de carga do capacitor  $C_I$  para o capacitor de realimentação  $C_O$ . Essa característica será explicada juntamente com o funcionamento do amplificador.

## 5.5 PROJETO EM NÍVEL DE TRANSISTORES

A arquitetura do conversor A/D proposto foi implementada em nível de blocos digitais e analógicos transistorizados que possuem características próximas às reais. Para se avaliar o funcionamento do conversor, simulações foram realizadas utilizando o pacote de desenvolvimento da *Cadence Design Systems* em conjunto com a tecnologia AMS 0.35u da *Austria Micro Systems*. O conversor A/D proposto, mostrado na Figura 5.1, foi projetado seguindo as especificações apresentadas na Tabela 4.2 e cada componente será descrito nas subseções seguintes.

O conversor é constituído pelos componentes: amplificador operacional, comparador, *flip-flop* D, *mux2x2*, gerador de fases de relógio, chaves analógicas, capacitores chaveados, capacitor programável e um contador crescente/decrescente especial.

### 5.5.1 CIRCUITOS DIGITAIS BÁSICOS

Para o desenvolvimento de alguns dos blocos utilizados no projeto do conversor, foram projetados circuitos digitais básicos com o intuito de facilitar a sua reusabilidade em outros componentes. Os circuitos digitais projetados foram: inversor, portas NAND, NOR, AND e OR. Na Tabela 5.2 são exibidos os valores dos transistores usados nesses circuitos.

Tabela 5.2 – Dimensão dos transistores utilizados nos circuitos digitais.

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
PMOS	2	0.35
NMOS	1	0.35

Como pode ser observado a partir da tabela acima, o valor da largura dos transistores do tipo *PMOS* é duas vezes maior que os do tipo *NMOS*. Os circuitos digitais foram projetados dessa maneira para que os seus tempos de subida e descida sejam semelhantes, pois os transistores *NMOS* têm a característica de serem duas vezes mais rápidos que os do tipo *PMOS*.

Na Figura 5.4 é mostrado o circuito projetado para o inversor e o seu símbolo.

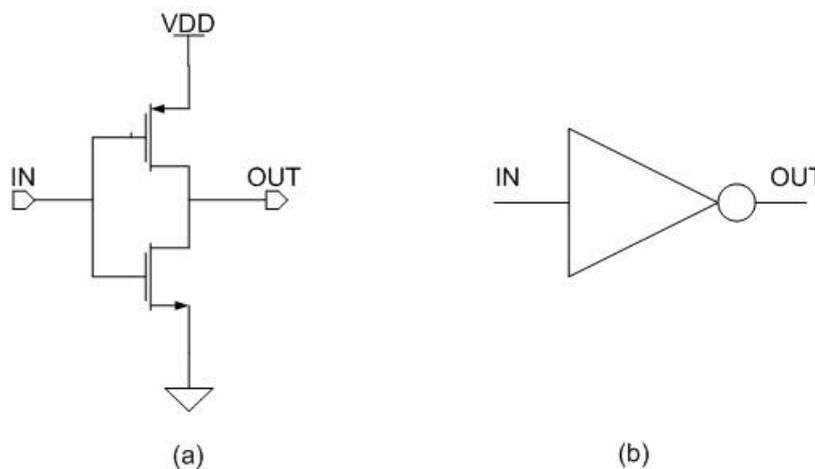


Figura 5.4 – Inversor: (a) Nível de transistores e (b) Símbolo utilizado.

Na Figura 5.5 mostram-se as formas de onda para o circuito do inversor. Como pode ser observado, os tempos de subida e descida são praticamente iguais.

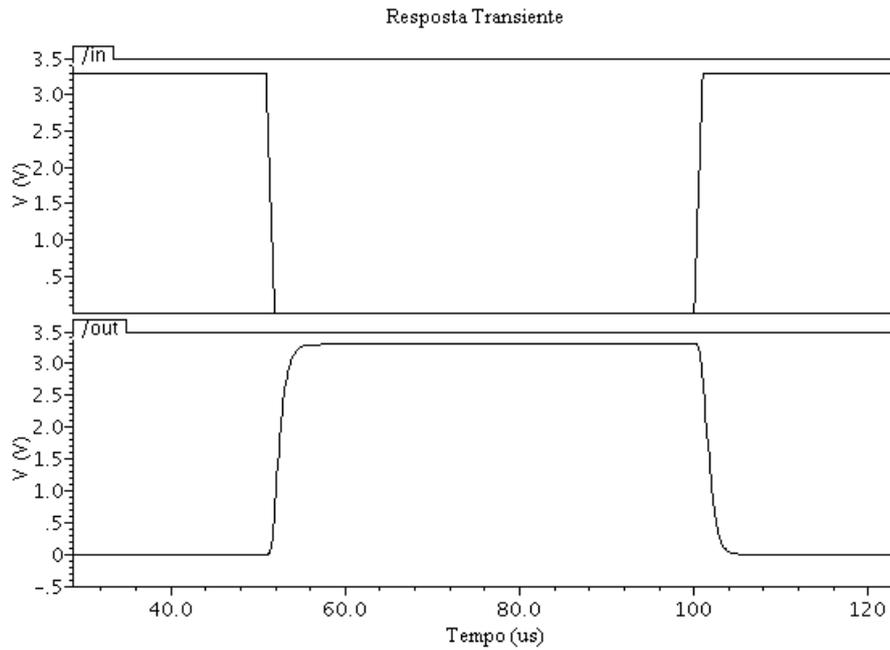


Figura 5.5 – Resposta do circuito inversor.

A porta lógica NAND projetada é mostrada na Figura 5.6. A partir de uma NAND e de um inversor é possível construir uma porta AND.

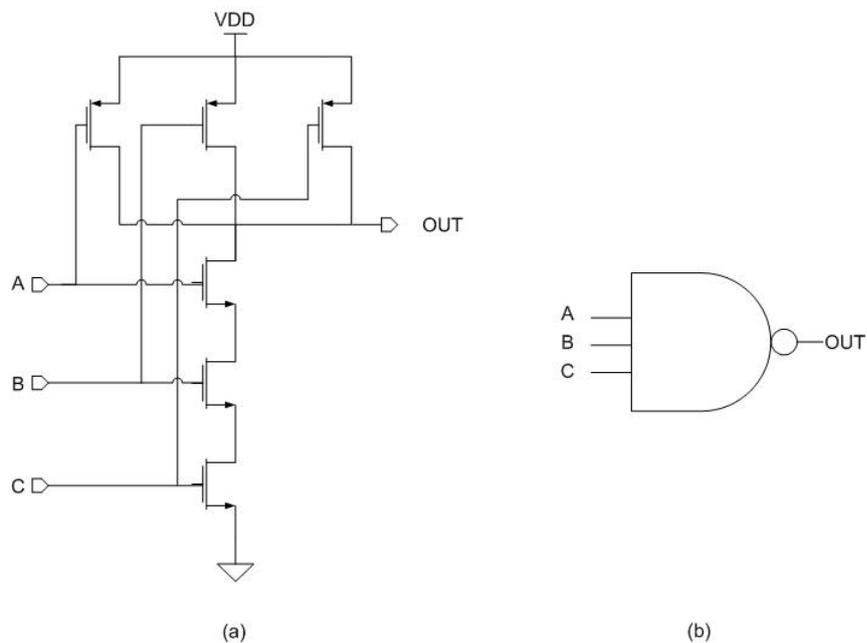


Figura 5.6 – Porta NAND: (a) Circuito da porta NAND e (b) símbolo utilizado.

As formas de onda do circuito projetado em nível de transistores para a porta lógica NAND são exibidas na figura abaixo.

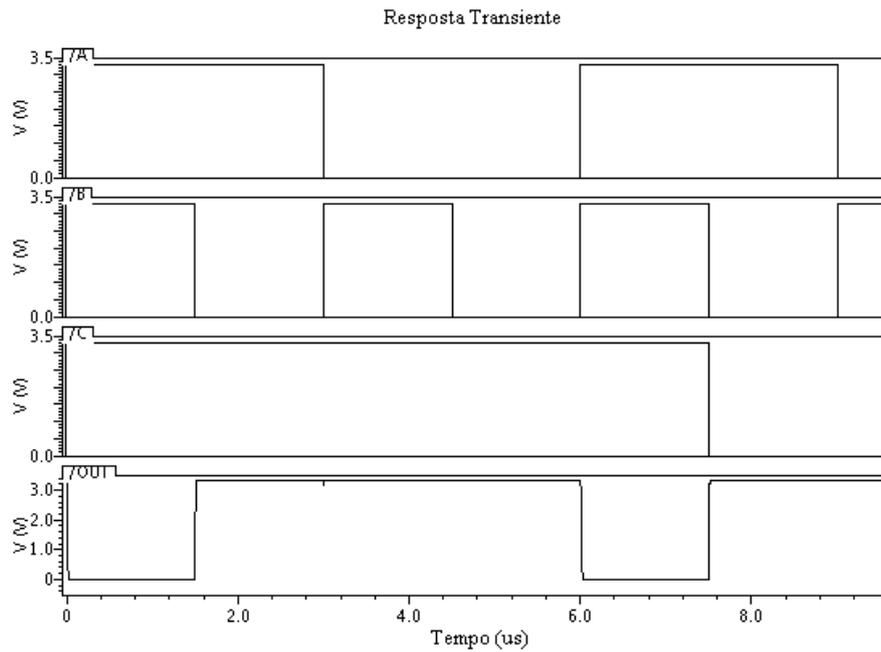


Figura 5.7 – Resposta do circuito da porta NAND.

Também foi projetado o circuito para a porta lógica NOR, como pode ser observado na Figura 5.8. A partir de uma porta NOR e um inversor pode ser produzido uma porta OR.

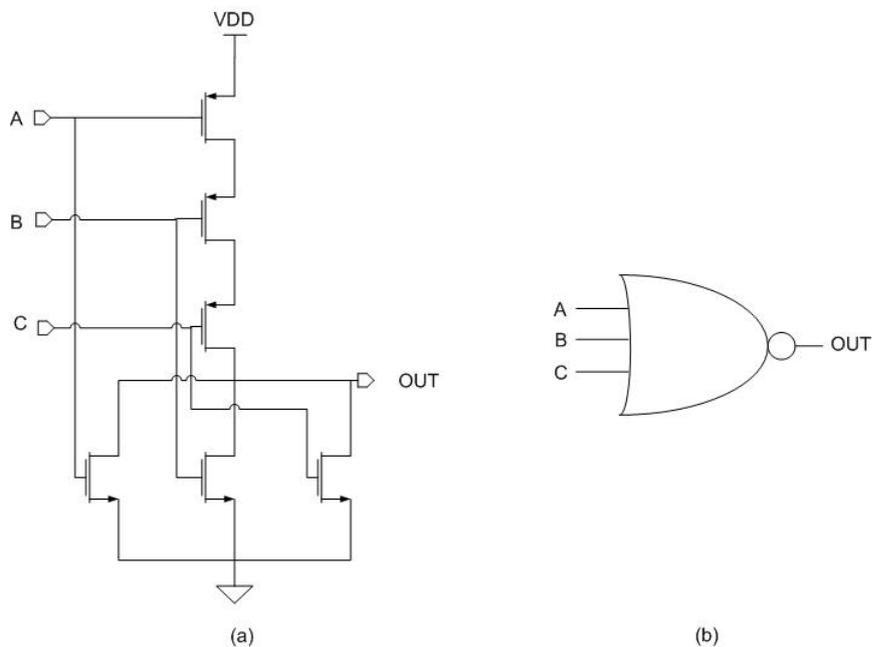


Figura 5.8 – Porta NOR: (a) Circuito em nível de transistores e (b) símbolo utilizado.

Pode-se observar o funcionamento do circuito lógico NOR na Figura 5.9, onde são exibidas as formas de onda da simulação.

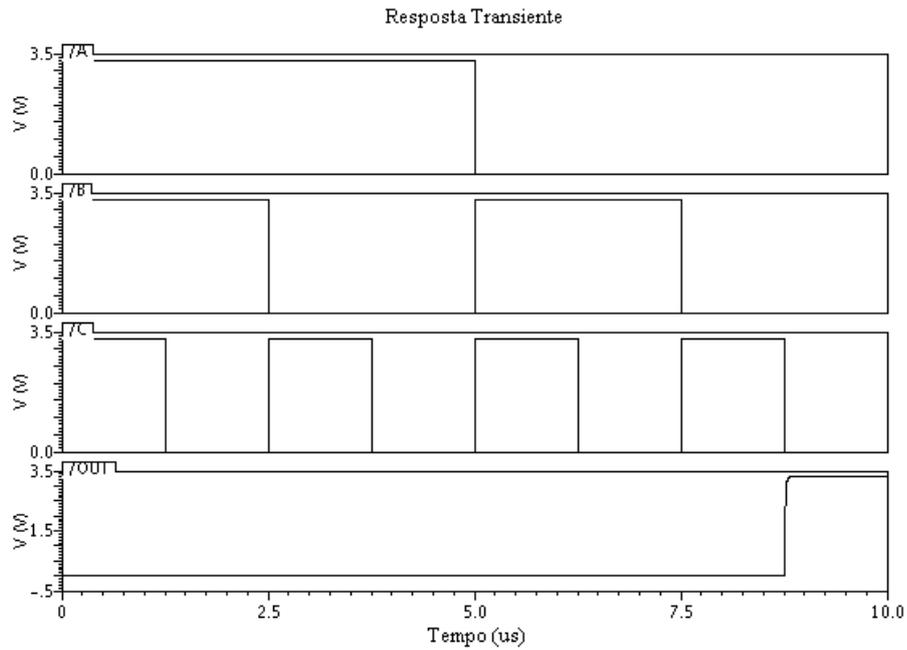


Figura 5.9 – Sinais de entrada e saída do circuito da porta NOR.

Também é importante mencionar que são utilizadas algumas variações dos circuitos NAND e NOR, pois em algumas situações são necessárias mais ou menos que três entradas.

### 5.5.2 GERADOR DE FASES DO RELÓGIO

O gerador de fases do relógio, mostrado na Figura 5.10, é um bloco usado para gerar as fases para o conversor, a partir de um sinal de entrada  $f_{CLK}$ . São geradas duas fases de relógio opostas e não-sobrepostas (os dois sinais nunca estarão em nível alto ao mesmo tempo),  $f_1$  e  $f_2$ , que são usados para operar a abertura e o fechamento das chaves nos capacitores chaveados. O sinal  $f_1$  é usado também como relógio do contador crescente/decrecente especial e numa lógica digital criada para finalizar a conversão (ver Figura 5.1).

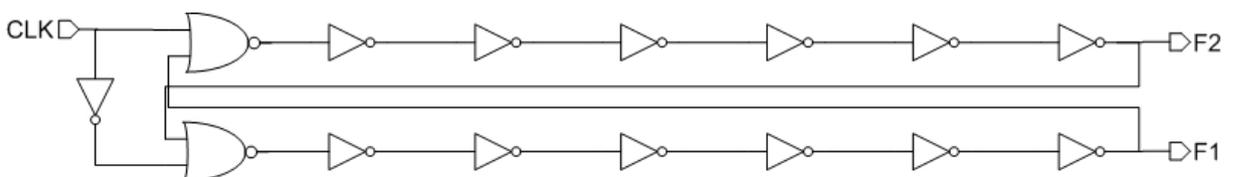


Figura 5.10 – Gerador de fases do relógio.



Figura 5.11 – Símbolo do gerador de fases do relógio.

Na Figura 5.12, mostra-se o sinal de  $CLK$  ( $/CLK$ ) que para este trabalho possui frequência de 1 MHz, e as fases de relógio geradas a partir dele (na figura,  $/Q1 = f1$ ,  $/Q2 = f2$ ).

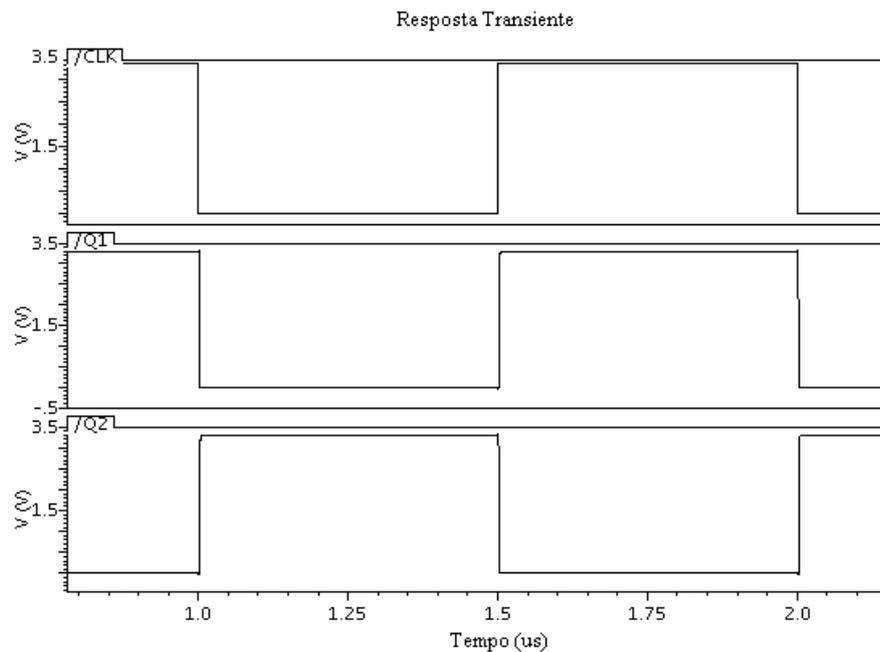


Figura 5.12 - Sinais na entrada e saída do gerador de fases de relógio.

Um sinal  $f_{CLK1}$  é gerado a partir de  $f1$  para ser usado como relógio do *flip-flop* D e do contador crescente/decrescente. A transição de subida do sinal  $f_{CLK1}$  ocorre quando  $f_2$  está em nível alto, o que é essencial à operação do conversor, pois o sinal na saída do *flip-flop* D necessita estar habilitado na parte final da segunda fase.

### 5.5.3 Mux 2x2

Dependendo do sinal na saída do comparador, a tensão de referência pode alimentar o capacitor integrador de forma positiva ou negativa. O componente que vai realizar essa seleção possui três entradas e duas saídas, mostrado na Figura 5.13, formado por dois mux 2x1 em paralelo.

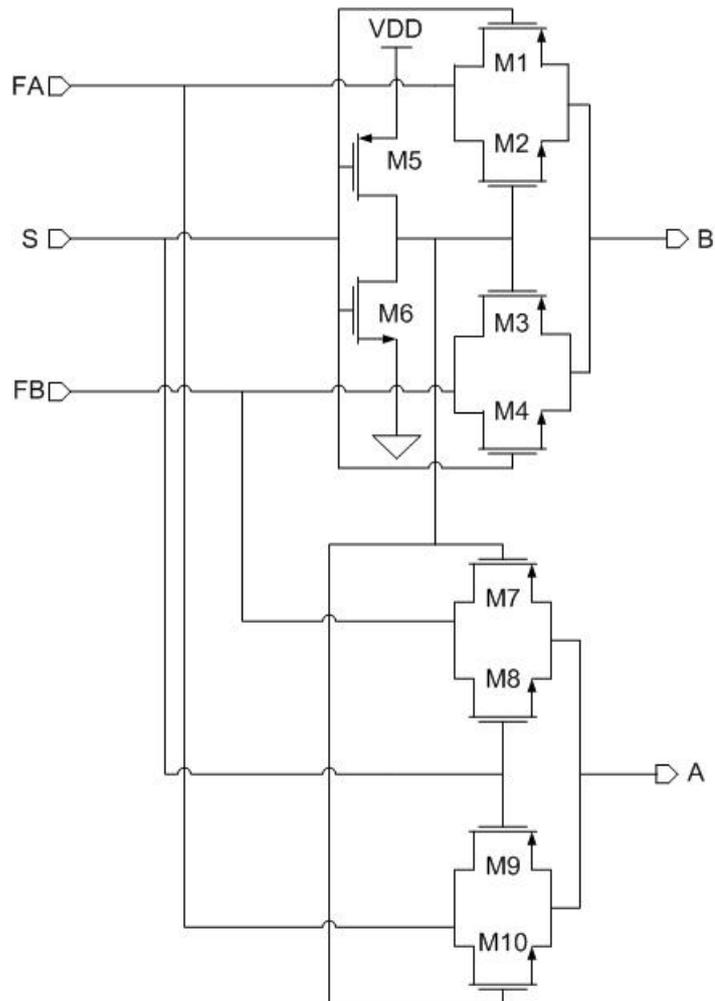


Figura 5.13 - Circuito do Mux 2x2: 2 Mux em paralelo.

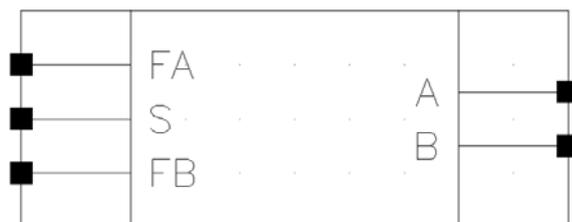


Figura 5.14 - Símbolo Mux 2x2.

Caso a entrada  $S$  receba um sinal de nível alto, a saída  $A$  terá o sinal igual ao da entrada  $F1$  e a saída  $B$  igual ao da entrada  $F2$ . Caso contrário, se  $S$  receber um sinal nível baixo, os sinais nas saídas  $A$  e  $B$  serão iguais aos sinais nas entradas  $F2$  e  $F1$ , respectivamente.

O sinal  $C_P$  usado na entrada  $S$  do  $mux2x2$  é obtido na saída  $Q$  do  $flip-flop$  D. Esse sinal corresponde a um valor na saída do comparador, e pode ser alterado quando o sinal  $f_{CLKI}$  passar ao nível alto, na entrada  $CLK$  do  $flip-flop$ . Exemplos de sinais na saída  $FA$  e  $FB$  do  $mux2x2$ , em função dos sinais nas entradas de  $F1$ ,  $F2$  e  $CP$  são mostrados na Figura 5.15.

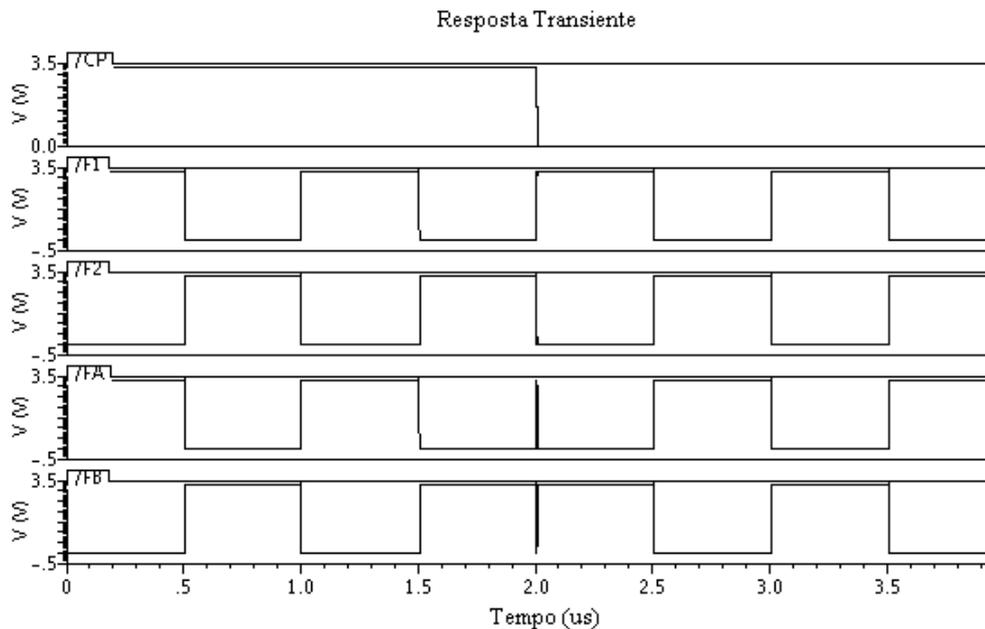


Figura 5.15 - Saídas do MUX 2x2 em função da entrada CP.

Na Tabela 5.15 são exibidos os valores dos transistores utilizados no circuito do Mux 2x2.

Tabela 5.3 - Dimensão dos transistores utilizados no circuito do Mux 2x2.

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1, M3, M7, M9	0,8	0,35
M2, M4, M8, M10	0,4	0,35
M5	2,1	0,35
M6	0,7	0,35

#### 5.5.4 CHAVE CMOS

As chaves analógicas estão entre os dispositivos integrados mais simples que existem. A grande aplicação das chaves analógicas encontra-se nos circuitos a capacitores chaveados.

Seu papel nesse tipo de aplicação é de fundamental importância, pois são elas que permitem a dinâmica do sinal.

A implementação de chaves analógica usando transistores complementares (CMOS) ajuda a minimizar o efeito da injeção de cargas. Tem como objetivo melhorar a resistência da chave, para permitir a operação “rail-to-rail”. Dependendo da tensão de entrada, as chaves conduzem exclusivamente ou simultaneamente. A Figura 5.16 mostra a chave CMOS complementar utilizada nesse trabalho, também conhecida por chave de transmissão.

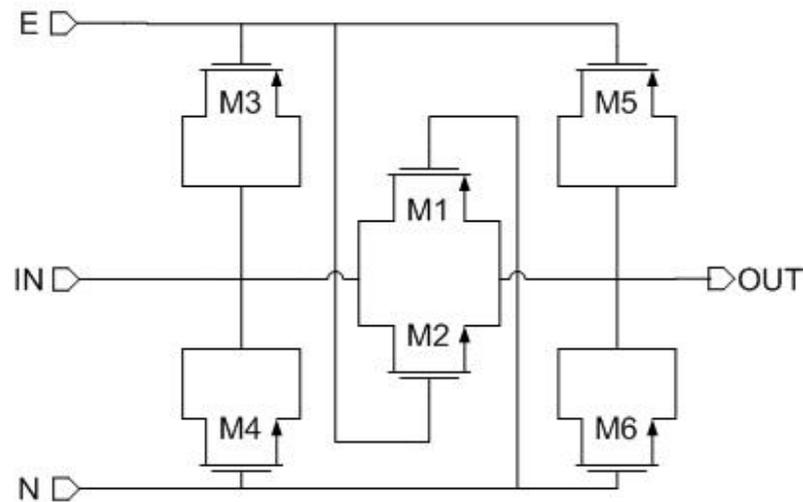


Figura 5.16 - Chave de transmissão CMOS.

O dimensionamento dos transistores para as chaves CMOS neste trabalho é exibido na Tabela 5.4.

Tabela 5.4 – Dimensão dos transistores da chave CMOS.

	<b>W (μm)</b>	<b>L (μm)</b>
<b>M1</b>	3	0,35
<b>M2, M4, M8, M10</b>	1	0,35
<b>M3, M5</b>	1,5	0,35
<b>M4, M6</b>	0,5	0,35

### 5.5.5 CAPACITOR PROGRAMÁVEL

O capacitor programável, alimentado pela tensão de entrada  $V_I$ , é formado por um conjunto de capacitâncias em paralelo. O valor do capacitor programável é selecionado entre nove valores possíveis por meio de uma lógica digital.

A seleção é feita com um sinal em nível alto e os valores das capacitâncias são 200, 300, 400, 600, 800, 1200, 1600, 2400 e 3200  $fF$ , que são representadas pelas respectivas

entradas G1, G1.5, G2, G3, G4, G6, G8, G12 e G16. Na Figura 5.17, mostra-se a estrutura interna do capacitor programável.

Cada caixa SW, na Figura 5.17, representa uma chave analógica, mostrada na Figura 5.16. Para a seleção de uma capacitância de entrada, no capacitor programável, uma lógica digital é usada para fechar algumas chaves SW enquanto outras continuam abertas durante o processo de conversão.

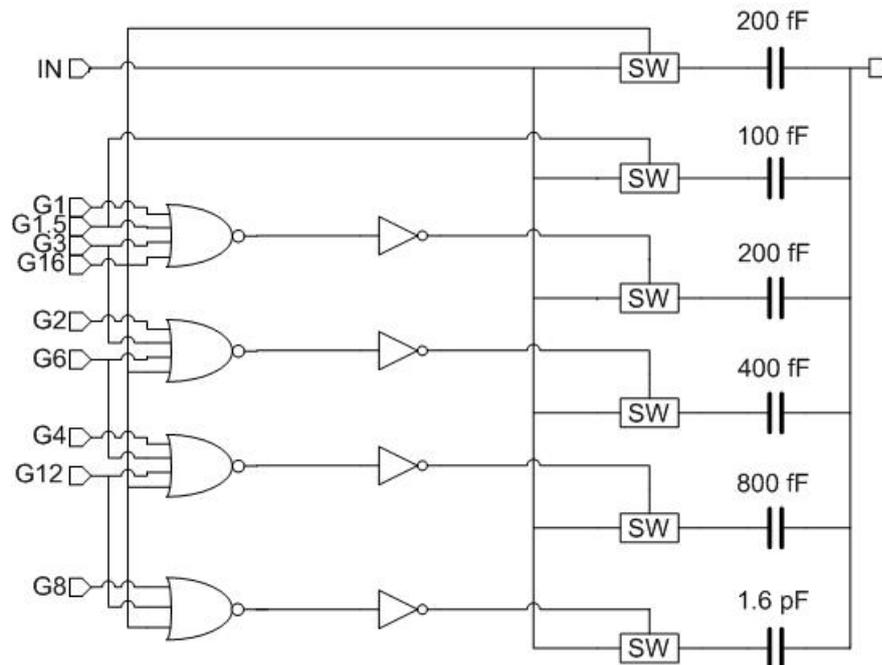


Figura 5.17 – Capacitor programável com nove valores de capacitâncias.

### 5.5.6 FLIP-FLOP D

A função do flip-flop D neste conversor é reter o sinal digital da saída do comparador, e disponibilizá-lo em sua saída  $Q$ , no momento que um sinal em sua entrada  $CK$  passar para o nível alto. Na saída  $Q$  tem-se o sinal  $C_P$ , usado pelo mux2x2, como descrito anteriormente.

O sinal na saída  $Q$  do flip-flop D também é enviado para a entrada do contador crescente/decrescente especial, e o valor digital desse sinal é usado para selecionar a função de incrementar ou decrementar o contador.

As entradas  $NPRE$  e  $NCLR$  são usadas com um sinal  $rst$  para reiniciar os estados do flip-flop D no início de cada conversão. Na Figura 5.18, mostra-se a estrutura interna do flip-flop D.

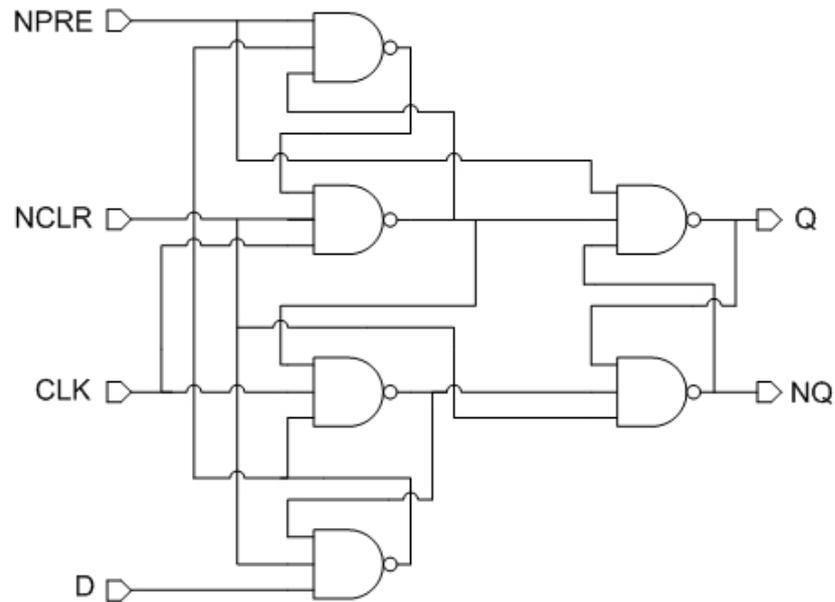


Figura 5.18 – Flip-flop D usado na implementação do conversor A/D.

Na Figura 5.19, mostra-se um exemplo de sinais na saída  $Q$  e  $NQ$  do flip-flop D, em função dos sinais nas entradas de  $D$  e  $CLK$ .

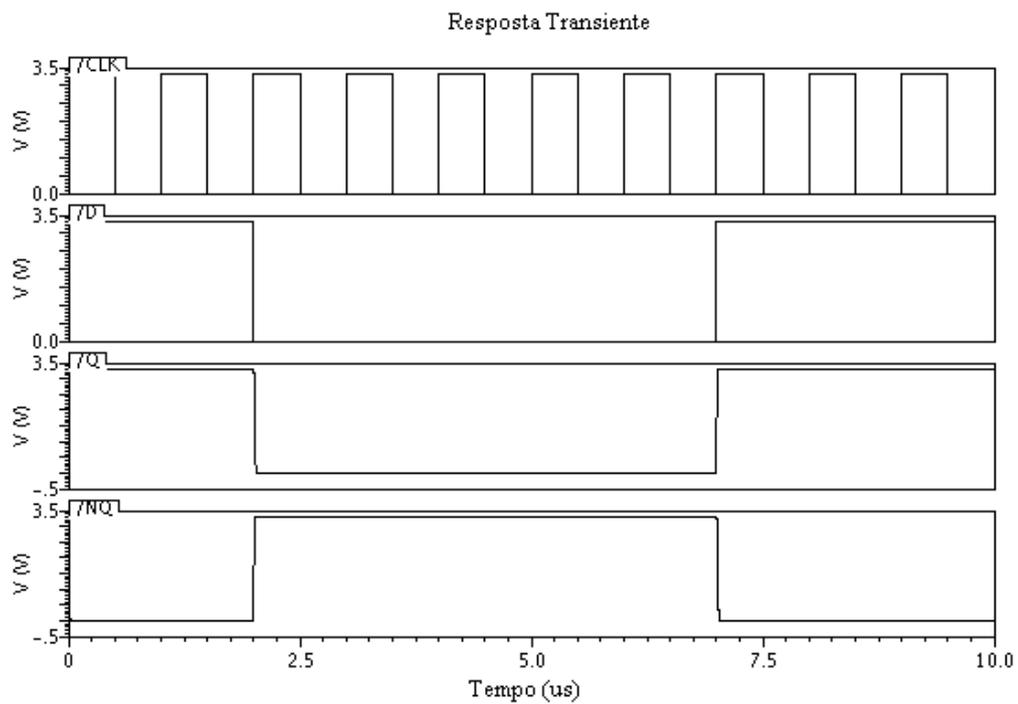


Figura 5.19 – Resposta do flip-flop D implementado nesse trabalho.

### 5.5.7 CONTADOR CRESCENTE/DECRESCENTE

O contador crescente/decrecente, mostrado na Figura 5.20, é responsável pela contagem binária do conversor A/D proposto. Este contador realiza duas contagens em paralelo, uma crescente/decrecente (C/D) e uma crescente. Esse contador é programável, possibilitando ao conversor alterar a sua resolução dependendo da necessidade da aplicação.

O contador C/D incrementa ou decrementa o valor binário, dependendo do sinal em sua entrada *Up/Down*, realizando a operação  $L_N - L_P$ . Em paralelo, o contador crescente conta o número de ciclos  $L$ , dado por  $L = 2^{N+1}$ , em que  $N$  é a resolução escolhida para o conversor A/D.

O conversor rampa múltipla proposto tem resolução de até oito bits. O relógio usado nos contadores provém do sinal *CLK1*, como mostrado na Figura 5.1. Dependendo da resolução escolhida, o último bit do contador crescente, localizado na saída *STP* da Figura 5.20, é usado numa lógica digital para finalizar a conversão. Quando o sinal em *STP* for um nível alto, o relógio dos contadores é parado, uma divisão por dois é realizada para a representação correta da conversão e a palavra na saída  $B_7B_6B_5B_4B_3B_2B_1B_0$  do contador C/D corresponde ao valor digital da conversão A/D.

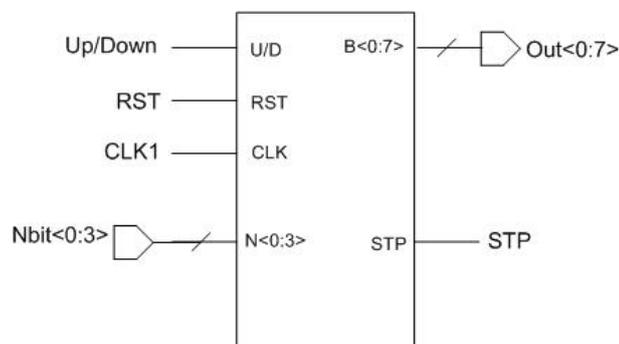


Figura 5.20 – Contador Crescente/Decrescente.

Como se trata de uma estrutura de complexidade mais elevada e seria mais complexo o seu desenvolvimento em nível de transistores, esse contador foi desenvolvido utilizando a linguagem de descrição de hardware VERILOG e depois utilizando as ferramentas de síntese disponíveis no kit de desenvolvimento da Cadence. Esse código foi transcrito em nível de transistores. O código em VERILOG do contador pode ser conferido no anexo A.

### 5.5.8 AMPLIFICADOR OPERACIONAL

Os amplificadores operacionais são fundamentais para os circuitos a capacitores chaveados, pois realizam buffers, somadores e integradores. Os opamps trabalham, em geral, com realimentação negativa, e em muitos casos unitárias.

Uma prática usual nos circuitos a capacitores chaveados é a utilização de amplificadores operacionais de transcondutância (OTA). O OTA é basicamente uma fonte de corrente controlada por tensão em paralelo com uma resistência elevada [16].

Para esse trabalho a arquitetura cascode dobrado foi escolhida devido as suas características de ganho médio, boa faixa de saída, alta velocidade e consumo de energia médio. O diagrama esquemático desse amplificador é apresentado na Figura 5.21.

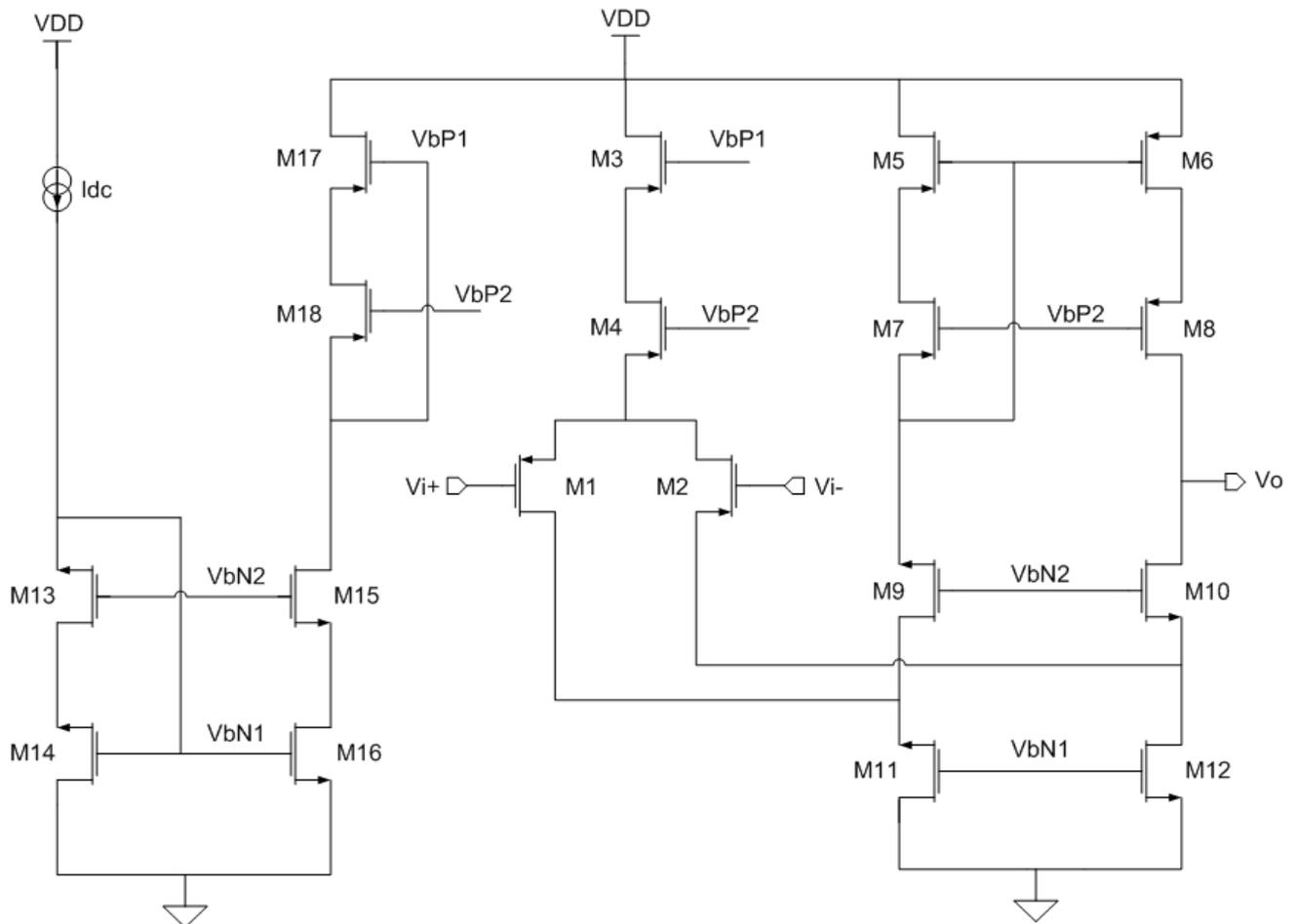


Figura 5.21 – Amplificador operacional cascode dobrado usado na implementação do conversor A/D proposto.

O dimensionamento dos transistores para o amplificador operacional utilizado neste trabalho é exibido na Tabela 5.5.

Tabela 5.5 – Dimensionamento dos transistores do amplificador cascode dobrado.

	<b>W (<math>\mu\text{m}</math>)</b>	<b>L (<math>\mu\text{m}</math>)</b>
<b>M1, M2</b>	40	0,7
<b>M3, M4</b>	60	2
<b>M5, M6, M7, M8, M17, M18</b>	30	2
<b>M9, M10, M13, M14, M15, M16</b>	10	2
<b>M11, M12</b>	20	2

O *slew rate* é a razão entre a variação máxima de tensão, na saída do amplificador, e a duração de tempo para essa variação ocorrer. Quanto maior o valor do slew rate, mais rápida será a resposta do amplificador. Como pode ser observado na Figura 5.22, o amplificador projetado nesse trabalho obteve um slew rate de  $28,7 \text{ V}/\mu\text{s}$  e a sua excursão de sinal vai de  $141 \mu\text{V}$  a  $3.3 \text{ V}$ .

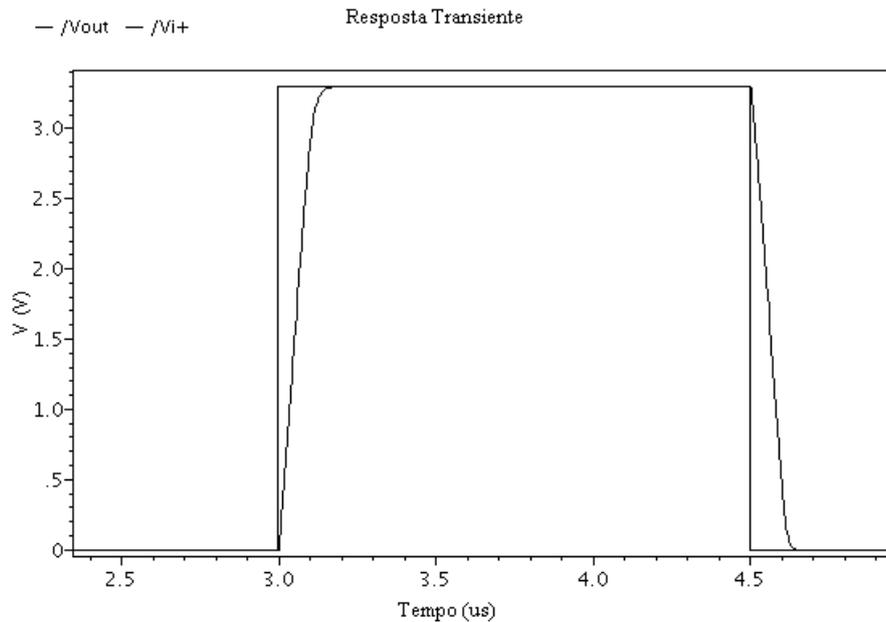


Figura 5.22 – Slew rate do amplificador operacional desenvolvido.

O ganho em modo diferencial é o ganho em malha aberta, aplicado sobre a diferença das tensões nas entradas do amplificador. Valores típicos de ganhos diferenciais variam de 40 dB a 120 dB, o que corresponde a amplificar o sinal de entrada do amplificador de  $10^2$  a  $10^6$  vezes. Neste amplificador obteve-se um ganho de 80 dB, como demonstrado na Figura 5.23, o que se mostrou suficiente nos resultados obtidos.

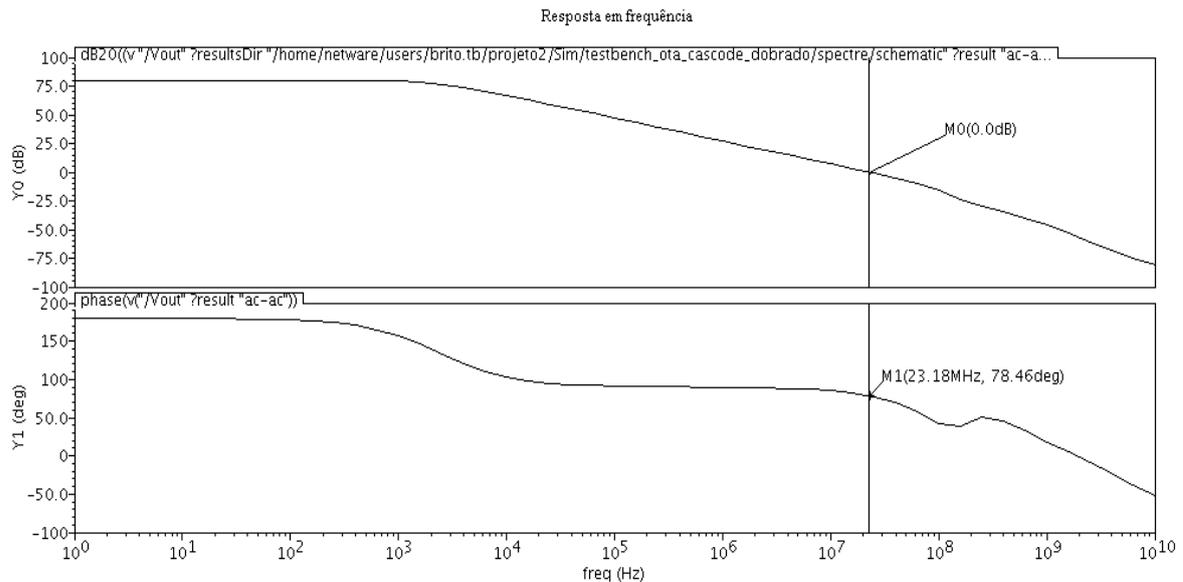


Figura 5.23 – Resposta de ganho e fase do amplificador projetado.

Como citado anteriormente, para o funcionamento correto do amplificador se faz necessário o uso de uma tensão  $V_{CM}$ , pois se uma das entradas do amplificador for ligada diretamente no fio terra essa entrada estará sempre ligada. Isso forçará a corrente a sempre seguir por esse ramo e fará com que o amplificador não funcione corretamente. Para se resolver esse problema, foi escolhida essa tensão de  $V_{CM}$  que permite o funcionamento correto sem ocasionar a saturação do amplificador. Visto que essa tensão é aplicada em uma das entradas, ela passa a ser a tensão de terra virtual e por isso os ramos das chaves também têm que ser ligados nessa tensão para que não ocorra erro na transferência de carga.

### 5.5.9 COMPARADOR DE TRÊS ESTÁGIOS

A arquitetura utilizada para o comparador nesse projeto é a de três estágios como descrito em [17], os estágios são: pré-amplificação, estágio de decisão e o buffer de saída.

O estágio de pré-amplificação é um circuito amplificador diferencial com carga ativa. Ele é usado com a finalidade de melhorar a sensibilidade do comparador ao amplificar os sinais de entrada que serão comparados no estágio de decisão. O estágio de decisão é responsável por fazer a comparação dos sinais de entrada, com capacidade de diferenciar tensões na ordem de  $mV$ . O buffer de saída é o último estágio do comparador e a sua finalidade é converter a saída analógica do estágio anterior em um nível digital.

O comparador possui duas entradas analógicas e uma saída digital, como mostrado na Figura 5.24. Quando o sinal  $V_{CO}$  na saída do integrador (e presente na entrada positiva do

comparador) for superior à tensão de comparação 0,85 V, que está na entrada negativa, tem-se o valor digital  $V_O$  em nível alto.

Caso contrário, para uma tensão  $V_{CO}$  inferior à tensão de comparação, o valor digital  $V_O$  é um nível baixo. A tensão de comparação 0,85 V, usada no conversor proposto, é calculada pela equação **Erro! Fonte de referência não encontrada.**

$$V_{CP} = V_R \frac{C_R}{C_O} \quad (5.3)$$

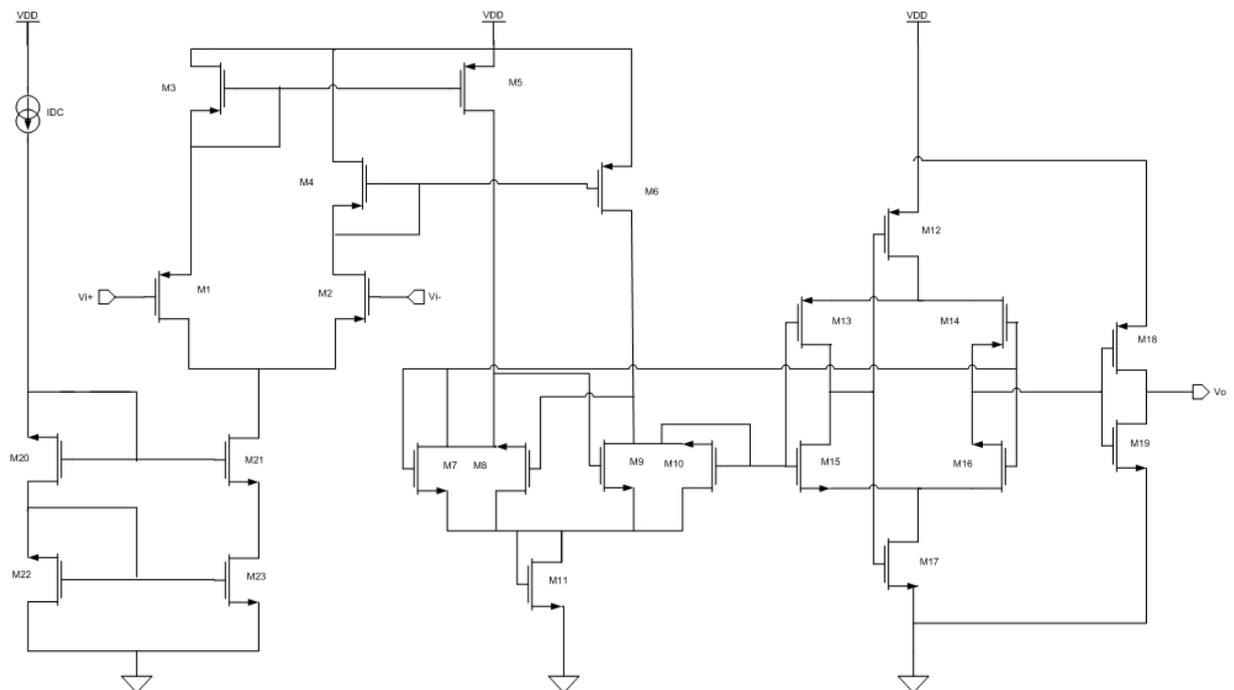


Figura 5.24 – Arquitetura comparador usado no conversor.

O dimensionamento dos transistores para o comparador de três estágios utilizado neste trabalho é exibido na Tabela 5.6.

Tabela 5.6 – Dimensão dos transistores utilizados no comparador.

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M1, M2, M3, M4, M5, M6, M13, M14, M18	4	0,35
M8, M9	0,5	0,35
M7, M10	0,4	0,35
M11	20	0,35
M12, M15, M16, M19	2	0,35
M17	1	0,35
M20, M21, M22, M23	4	0,35

O comparador projetado apresentou um slew rate de  $130 \text{ V}/\mu\text{s}$  e a sua excursão de sinal vai de  $0 \text{ V}$  a  $3.3 \text{ V}$ , conforme pode ser observado na simulação apresentada na Figura 5.25.

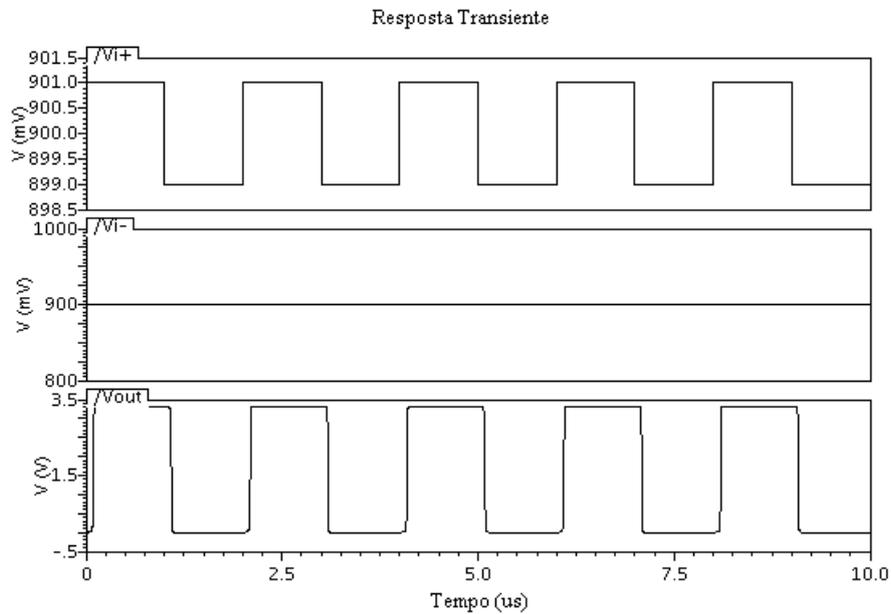


Figura 5.25 – Resposta do comparador a uma variação de 1 mV.

O comparador apresentou também um ganho de 80 dB, como demonstrado na Figura 5.26, o que se mostrou suficiente nos resultados simulados.

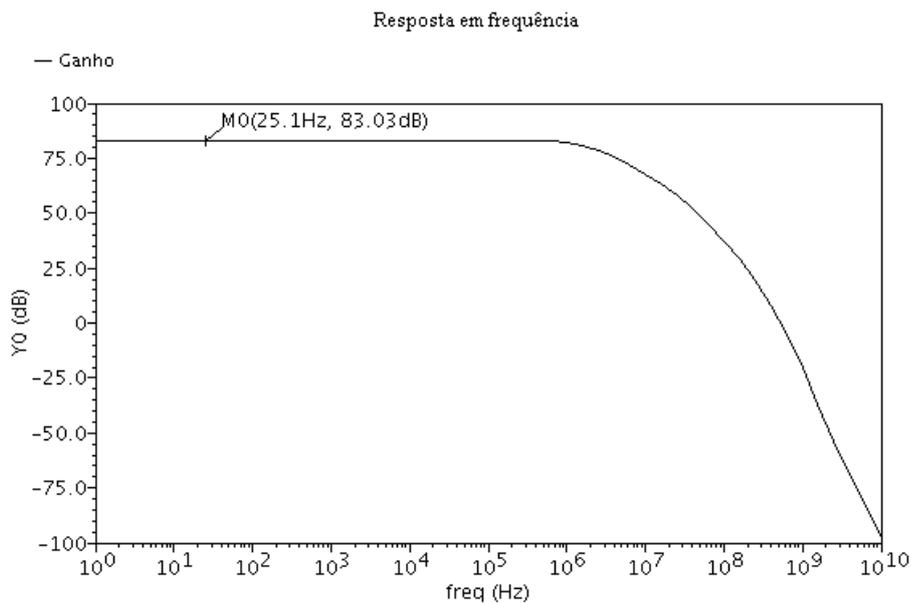


Figura 5.26 – Resposta em frequência do comparador projetado.

## 6 LEIAUTE DO CONVERSOR INTEGRADOR

Neste capítulo são mostrados os leiautes de todos os blocos do conversor analógico-digital e as técnicas utilizadas para a sua realização.

### 6.1 LEIAUTE DOS CIRCUITOS DIGITAIS BÁSICOS

Os circuitos digitais desse conversor são compostos basicamente por três tipos de portas lógicas: porta inversora, portas NOR e portas NAND. Iniciou-se o leiaute do conversor pela elaboração dessas portas lógicas. Para o leiaute de circuitos digitais é usada a técnica do caminho de euler que consiste em procurar por um caminho que passe simultaneamente pelas redes NMOS e PMOS uma única vez por cada transistor com a mesma entrada [18].

O leiaute dos circuitos digitais foi feito de maneira que pudessem ser dispostas lado a lado, desse modo possibilitando uma maior facilidade na hora de interconectá-las. Portanto, todos os leiautes digitais têm a mesma altura, diferindo apenas na largura.

#### 6.1.1 LEIAUTE INVERSOR

O leiaute da porta inversora pode ser observado na Figura 6.1. Essa porta tem uma entrada e uma saída, e sua dimensão é de 5  $\mu\text{m}$  de largura por 16  $\mu\text{m}$  de altura.

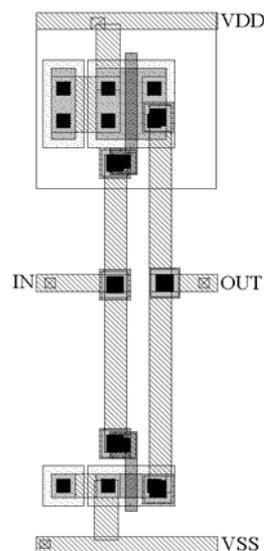


Figura 6.1 – Leiaute da porta inversora.

São exibidas na Figura 6.2 as formas de onda para o circuito do inversor extraído. Como podem ser observados os tempos de subida e descida são praticamente iguais.

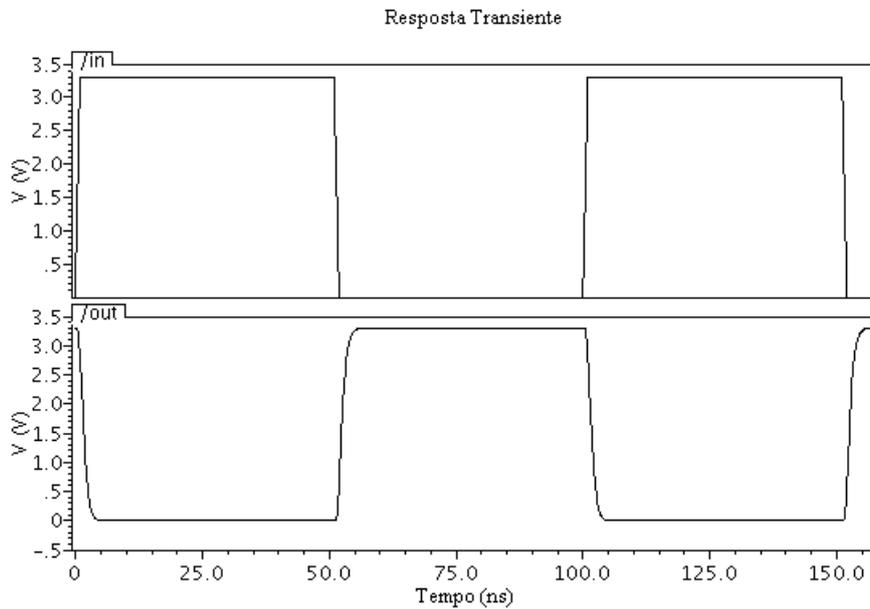


Figura 6.2 – Resposta do circuito extraído para o inversor.

### 6.1.2 LEIAUTE PORTA NAND

O leiaute da porta lógica NAND é demonstrado na Figura 6.3. Essa porta tem uma entrada e uma saída, e sua dimensão é de 9  $\mu\text{m}$  de largura por 16  $\mu\text{m}$  de altura. Como as portas têm a mesma altura, a partir de uma NAND e de um inversor é possível construir uma porta AND.

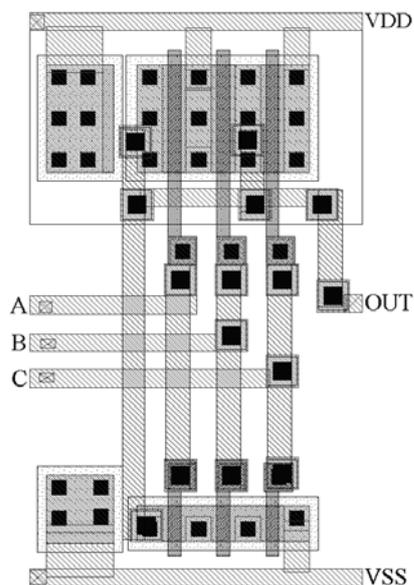


Figura 6.3 – Leiaute da porta lógica NAND.

As formas de onda do leiatute do circuito extraído para a porta lógica NAND são exibidas na figura abaixo.

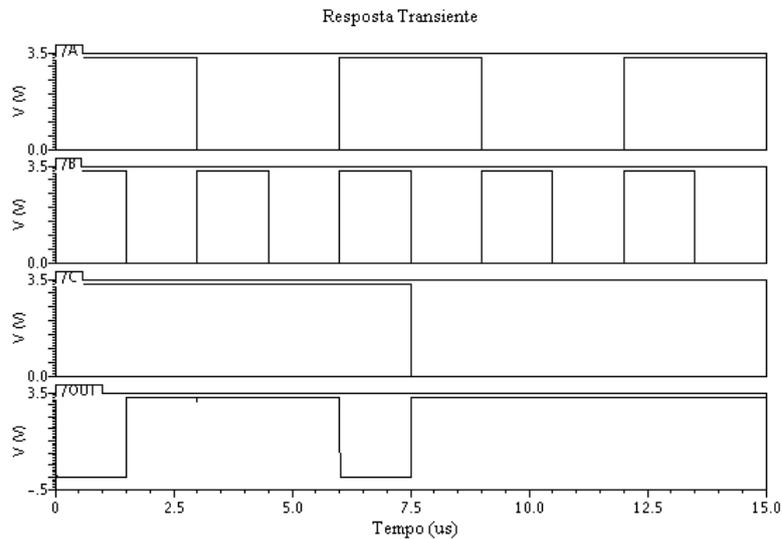


Figura 6.4 – Resposta do circuito extraído da porta NAND.

### 6.1.3 LEIAUTE PORTA NOR

Conforme pode ser visto na Figura 6.5, temos o leiaute da porta lógica NOR. Este por sua vez tem dimensões de 9,5  $\mu\text{m}$  de largura e 16  $\mu\text{m}$  de altura.

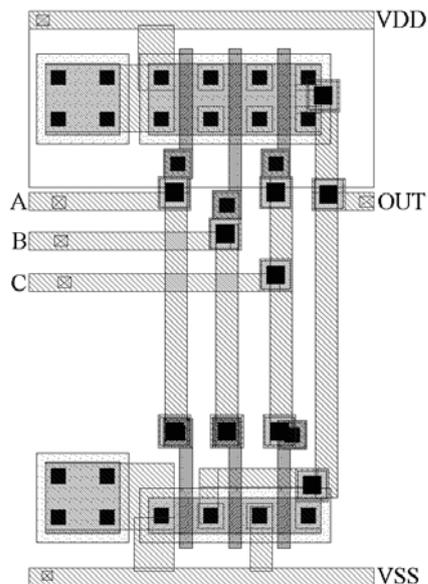


Figura 6.5 – Leiaute da porta lógica NOR.

Pode-se observar o funcionamento do circuito extraído da porta lógica NOR na Figura 6.6, onde são exibidas as formas de onda da simulação.

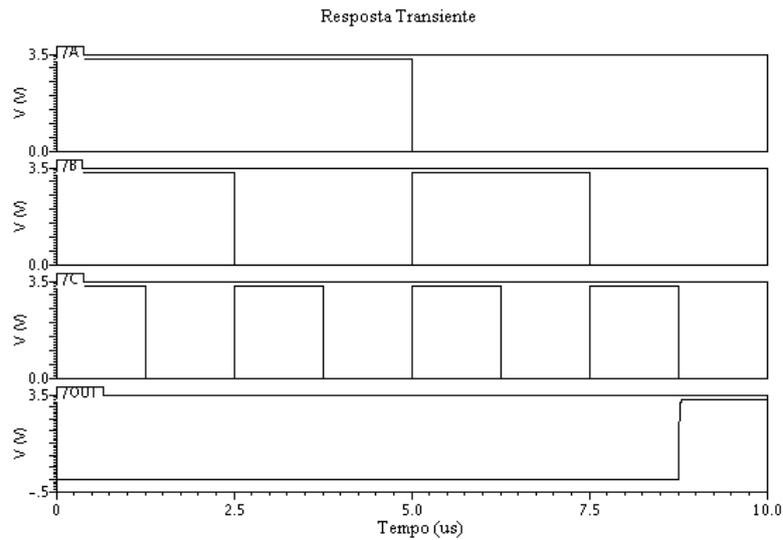


Figura 6.6 – Resposta do circuito extraído da porta NOR.

## 6.2 LEIAUTE DO GERADOR DE FASES DO RELÓGIO

Com os circuitos digitais básicos prontos, pôde-se dar início ao leiaute de circuitos mais complexos. Alinhando-se as portas lógicas básicas e as interligando segundo o esquemático da Figura 5.1, tem-se o leiaute resultante da Figura 6.7. Suas dimensões são de 45,3  $\mu\text{m}$  de largura por 32  $\mu\text{m}$  de altura.

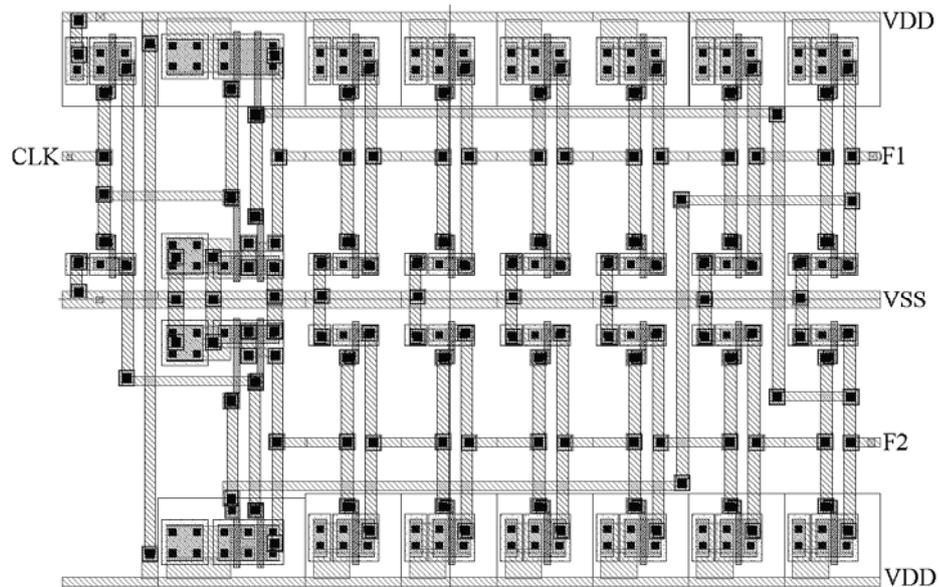


Figura 6.7 – Leiaute do circuito gerador de fases do relógio.

Na Figura 6.8, mostra-se um sinal *CLK* que entra no circuito extraído do gerador de fases de relógio, e como é a resposta das fases de relógio geradas a partir dele.

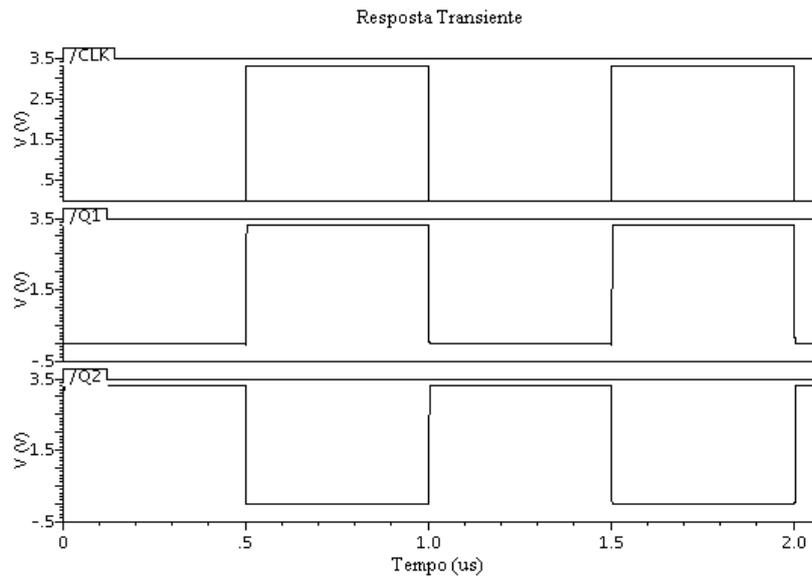


Figura 6.8 – Resposta do gerador de fases extraído.

### 6.3 LEIAUTE DO MUX 2x2

A partir do esquemático do circuito do mux 2x2, foram gerados os transistores para o leiaute. Esse circuito tem 11 μm de largura e 32 μm de altura, e seu leiaute pode ser observado na Figura 6.9.

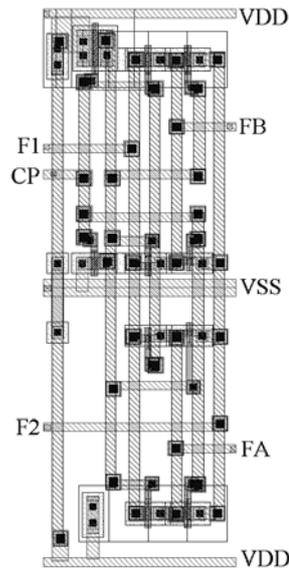


Figura 6.9 – Leiaute do Mux 2x2.

Depois de feito a extração do circuito a partir do leiaute foi realizada uma simulação para comprovar o seu funcionamento. O resultado dessa simulação pode ser observado na Figura 6.10.

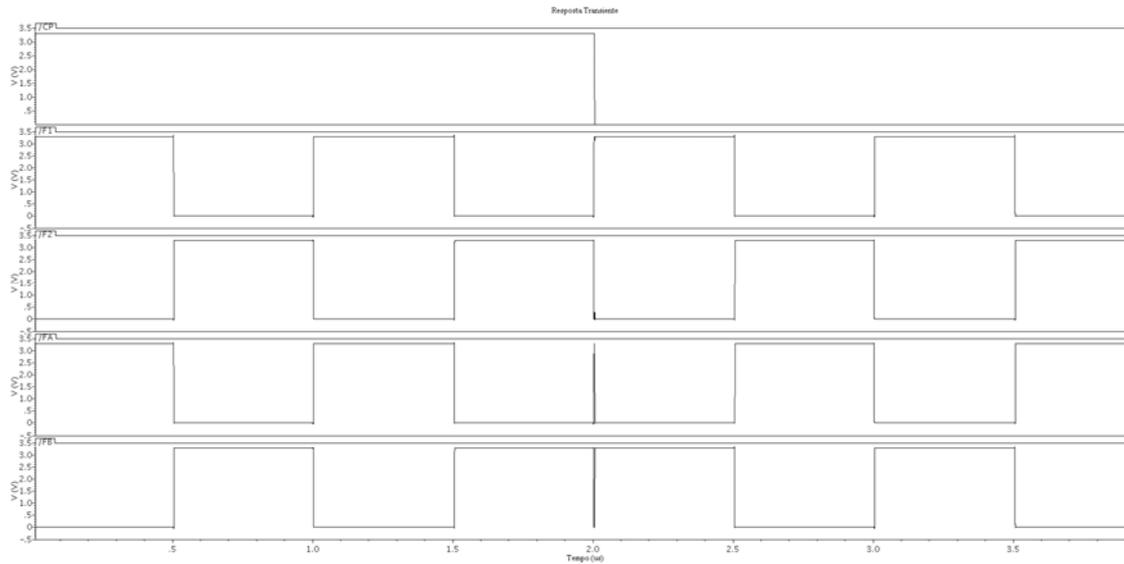


Figura 6.10 – Resposta do circuito extraído do Mux 2x2.

## 6.4 CHAVE CMOS

O leiaute da chave CMOS pode ser observado na Figura 6.11. A partir do esquemático desse circuito foram gerados os transistores para o leiaute, e sua dimensão é de 11,3  $\mu\text{m}$  de largura por 16  $\mu\text{m}$  de altura.

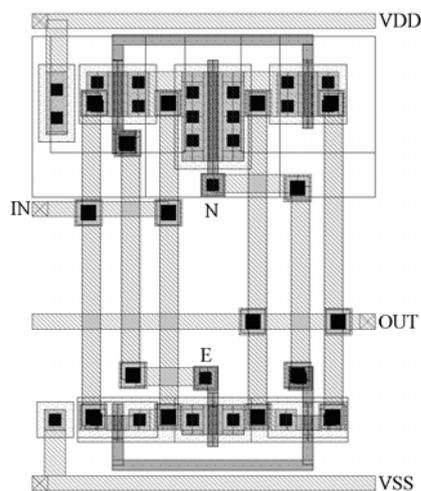


Figura 6.11 – Leiaute da chave CMOS.

## 6.5 LEIAUTE FLIP-FLOP D

O leiaute do flip-flop tipo D pode ser observado na Figura 6.12, esse leiaute foi realizado utilizando-se 6 instâncias do leiaute da porta NAND, alinhadas e interconectadas. Suas dimensões são de 27  $\mu\text{m}$  de largura por 32  $\mu\text{m}$  de altura.

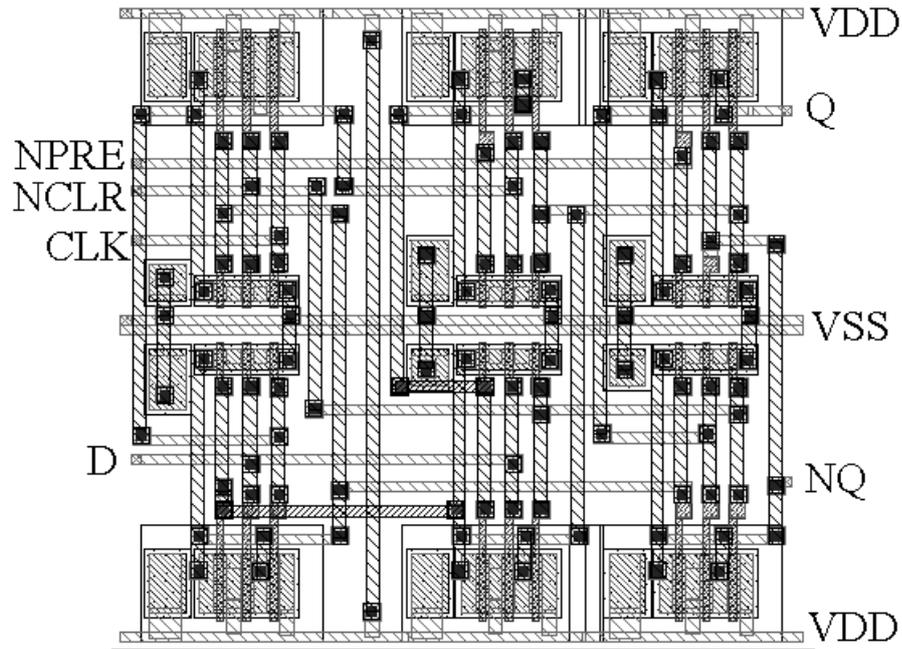


Figura 6.12 – Leiaute do Flip-Flop D.

Depois de feito a extração do circuito a partir do leiaute foi realizada uma simulação que tem seus resultados demonstrados na Figura 6.13.

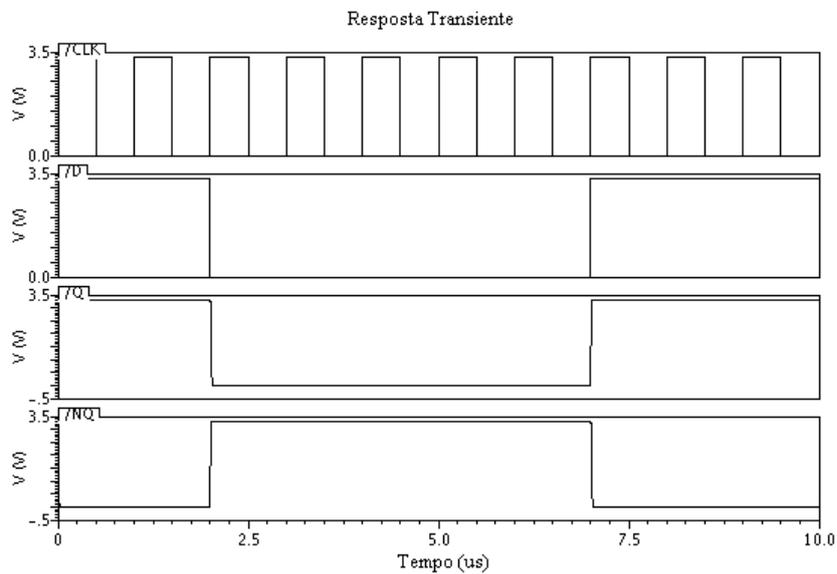


Figura 6.13 – Resposta do circuito extraído do Flip-Flop D.

## 6.6 LEIAUTE DO SOMADOR CRESCENTE/DECRESCENTE

O leiaute do somador foi desenvolvido com as ferramentas de desenvolvimento digital da *Cadence*. Diferentemente dos outros blocos que tiveram seus leiautes desenhados um a um,

o leiaute do somador foi feito a partir do arquivo de verilog sintetizado na etapa anterior para os esquemáticos.

Utilizando-se do arquivo de verilog sintetizado e das células padrões fornecidas no *Design Kit* da AMS, foi gerado com a ferramenta *Encounter* o leiaute do somador mostrado na Figura 6.14.

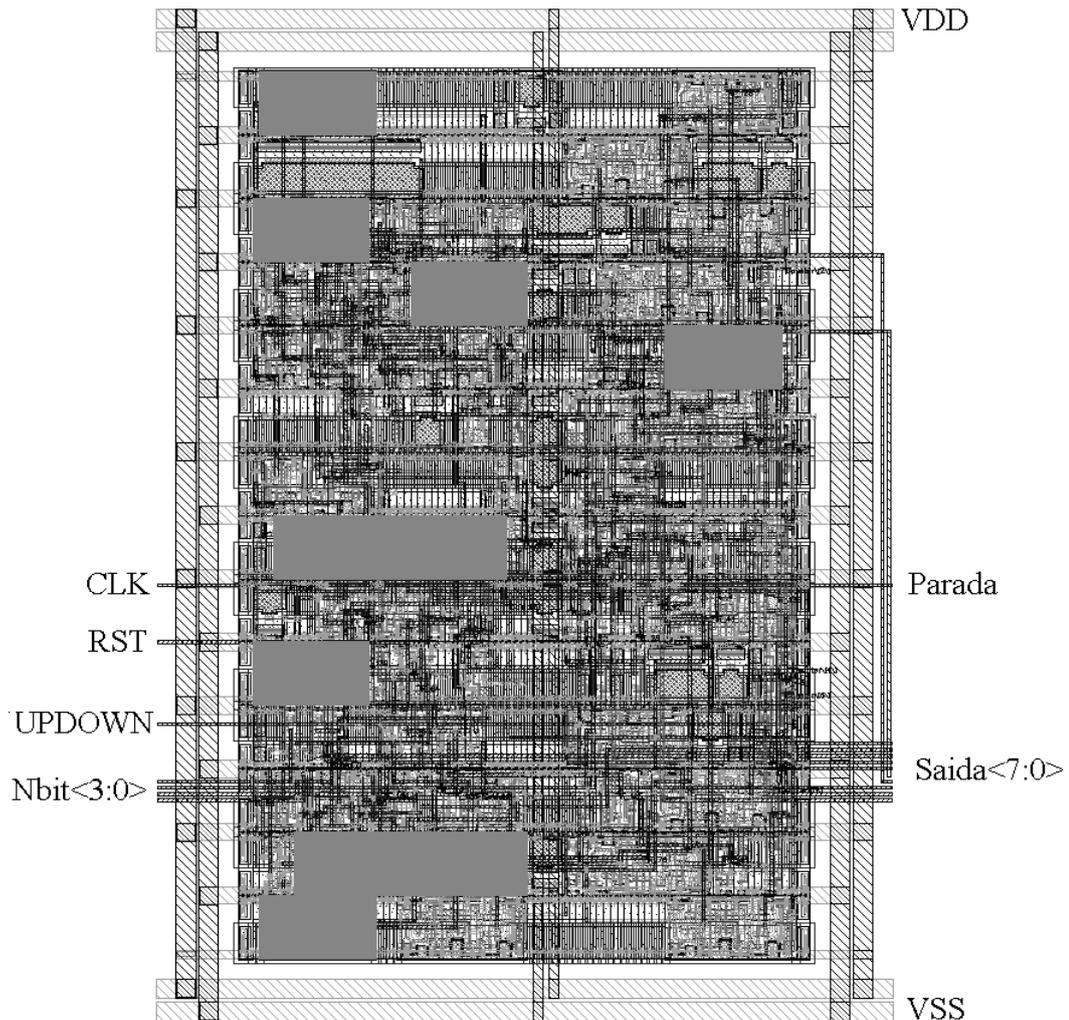


Figura 6.14 – Leiaute do Somador Crescente/Decrescente.

Como pode-se observar esse circuito possui uma complexidade maior que os demais componentes e por isso foi construído usando uma linguagem de descrição de hardware. No total é constituído por 300 células fornecidas pelo *design kit*. Suas dimensões são de 150  $\mu\text{m}$  de largura e 200  $\mu\text{m}$  de altura.

## 6.7 CAPACITOR PROGRAMÁVEL

Para minimizar os problemas de variação de parâmetros devidos ao processo de fabricação, foi utilizada uma técnica desenvolvida por [19], que consiste na distribuição dos capacitores unitários em uma matriz em geometria com centróide comum. Nesta geometria há uma simetria em relação ao ponto central da matriz. Todos os capacitores utilizados nesse conversor foram colocados nessa matriz para melhorar o seu casamento. Para melhor exemplificar como os capacitores foram colocados nessa matriz observe a Tabela 6.1.

Tabela 6.1 – Representação dos capacitores na matriz em centróide comum.

Representação na matriz	Capacitância (fF)
0	100
1	200
2	200
3	600
4	200
5	100
6	200
7	400
8	800
9	1600

Como se pode observar os capacitores não têm os mesmos valores e para se conseguir organizar uma matriz, esses capacitores foram quebrados utilizando-se uma capacitância unitária de valor de 100 fF.

A soma de todas as capacitâncias tem como resultado 4300 fF e utilizando como padrão a capacitância unitária tem-se 43 capacitores. Com uma matriz de 5 linhas e 9 colunas teríamos espaço para 45 capacitores e só precisamos de 43, esses 2 que sobram serão capacitores *dummies* que são representados pelo número 0 na tabela acima.

É possível observar na Figura 6.15 (a), a organização dos capacitores em centróide comum. Outra coisa importante é cercar a matriz de capacitores com capacitores *dummies*, como pode ser visto na Figura 6.15 (b). Os capacitores *dummies* fazem com que todos os capacitores tenham a mesma fronteira, estando assim sob iguais condições de borda.

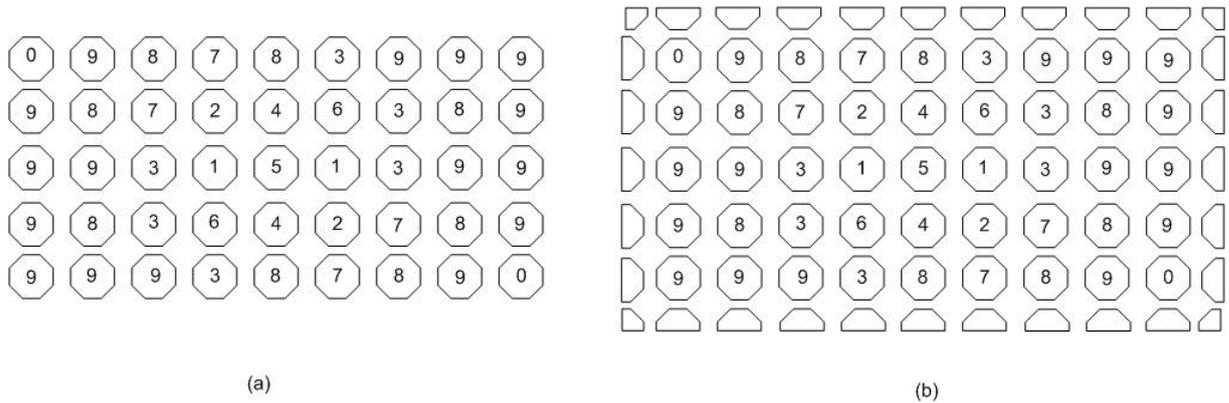


Figura 6.15 – Arranjo da matriz em centróide comum (a) e o mesmo arranjo com *dummies* (b).

Feito o arranjo da matriz, prossegue-se para o desenho do leiaute propriamente dito. Primeiro foi feito o leiaute do capacitor unitário como pode ser visualizado na Figura 6.16.

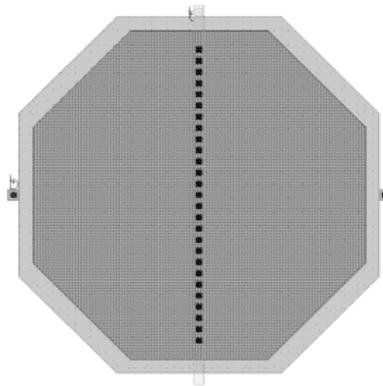


Figura 6.16 – Leiaute do capacitor unitário de 100 fF.

Arranjando os capacitores unitários e os *dummies* da matriz, o último passo é interligá-los. Feito isso o leiaute da matriz de capacitores está concluído, garantindo assim um bom casamento entre eles, e por fim se inclui a lógica de seleção dos ganhos do capacitor programável. O capacitor programável tem como dimensões 100  $\mu\text{m}$  de largura e 200  $\mu\text{m}$  de altura. O resultado é apresentado na Figura 6.17.

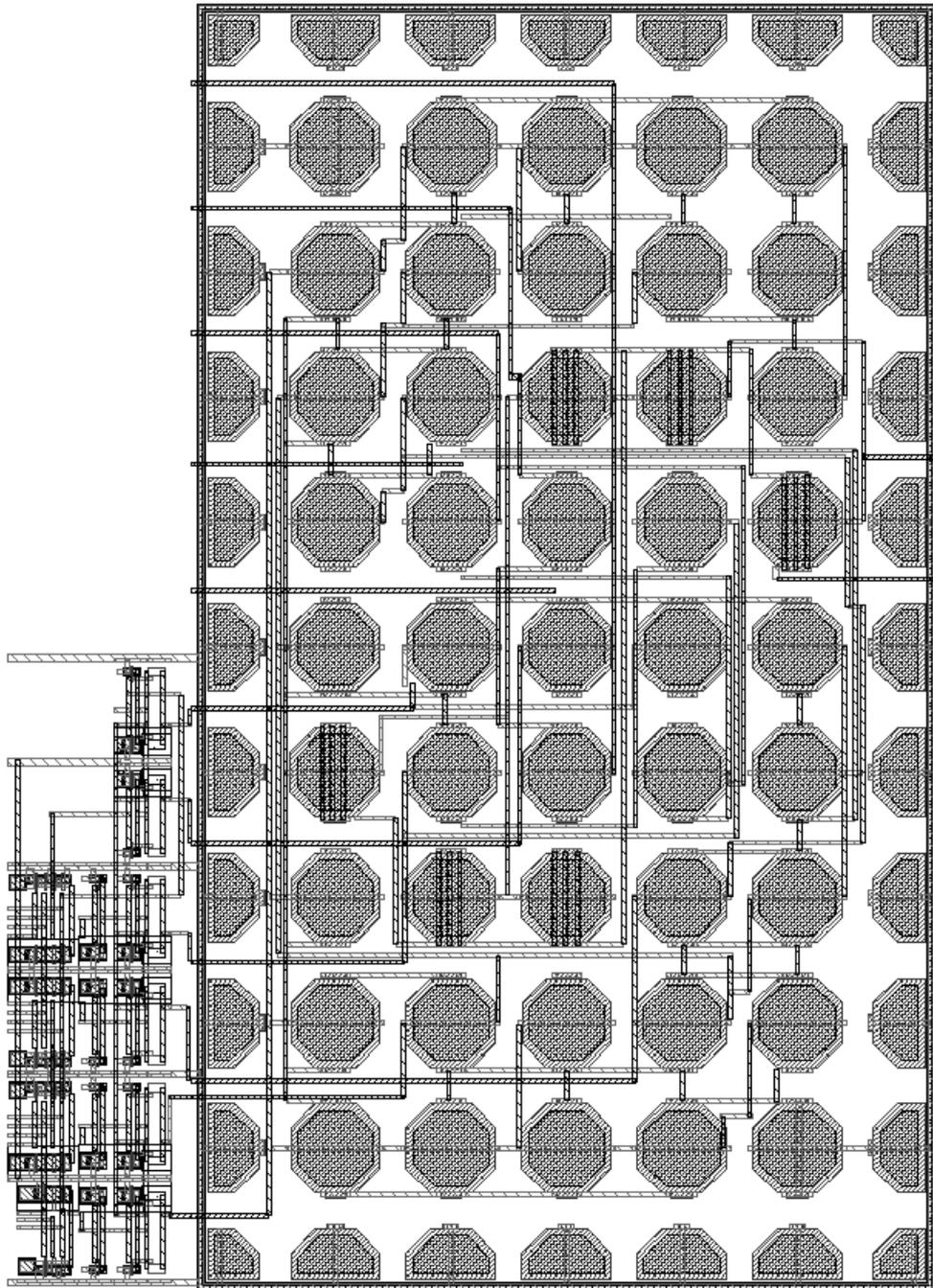


Figura 6.17 – Leiaute do capacitor programável.

## 6.8 LEIAUTE DO AMPLIFICADOR OPERACIONAL

O amplificador operacional é um circuito analógico que requer cuidados adicionais em seu leiaute. Para um bom funcionamento do amplificador operacional e para conseguir que este fique invariante ao processo de fabricação, algumas técnicas são utilizadas. Os transistores dos espelhos de corrente foram divididos em uma associação em paralelo e foram casados entre si. Para o casamento dos transistores do par diferencial de entrada foi realizado

um casamento do tipo *cross-quad* como descrito em [20]. Este casamento é um caso especial do arranjo em centróide comum para dois dispositivos, no qual cada um é dividido ao meio e organizado em diagonais opostas, como pode ser observado na Figura 6.18.

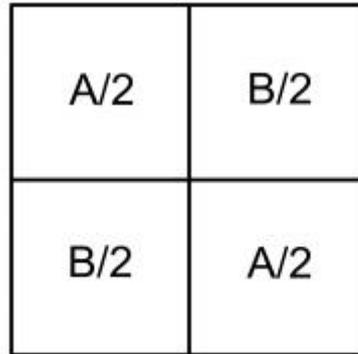


Figura 6.18 – Casamento em *cross-quad*.

Esse arranjo permite obter um melhor casamento para esses transistores que são os que têm mais importância para o funcionamento correto do amplificador. Para fazer com que o amplificador tivesse uma melhor imunidade a ruídos suas redes PMOS e NMOS foram envolvidas por anéis de guarda, bem como o par diferencial de entrada. O leiaute do amplificador operacional está ilustrado na Figura 6.19 e suas dimensões são 76,6  $\mu\text{m}$  de largura e 56  $\mu\text{m}$  de altura.

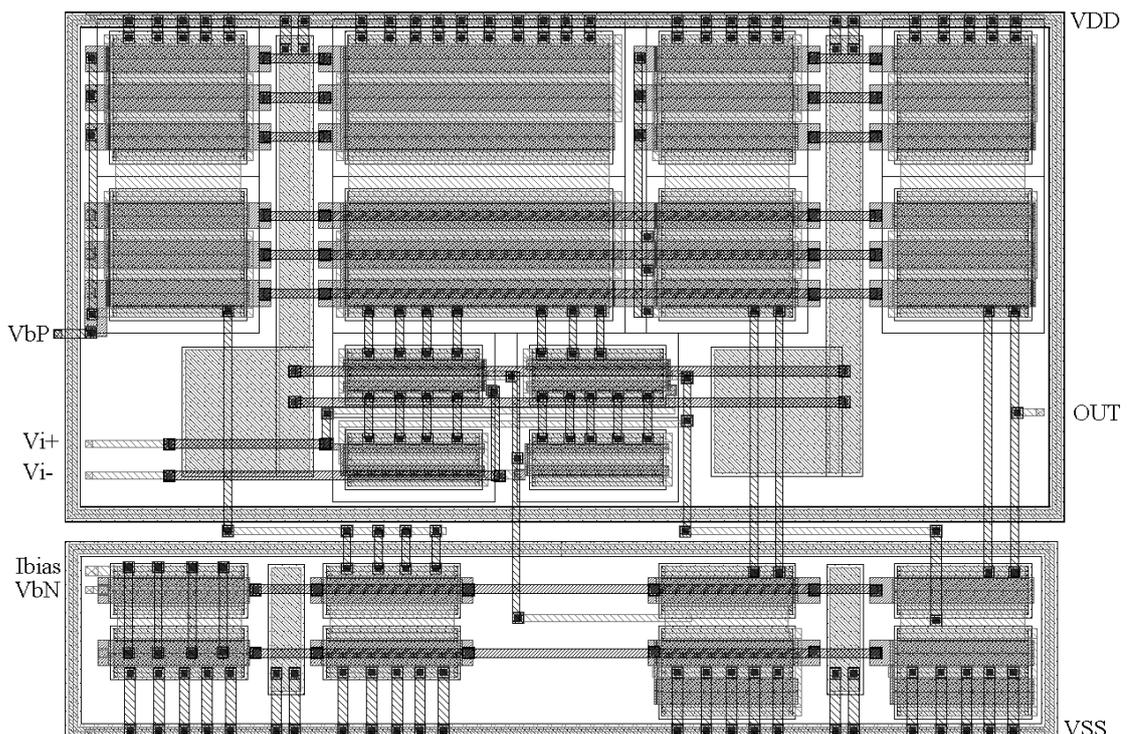


Figura 6.19 – Leiaute do amplificador operacional de transcondutância.

Como pode ser observado na Figura 6.20, o circuito do amplificador extraído obteve um slew rate de  $28,6 \text{ V}/\mu\text{s}$  e a sua excursão de sinal vai de  $148 \mu\text{V}$  a  $3.3 \text{ V}$ .

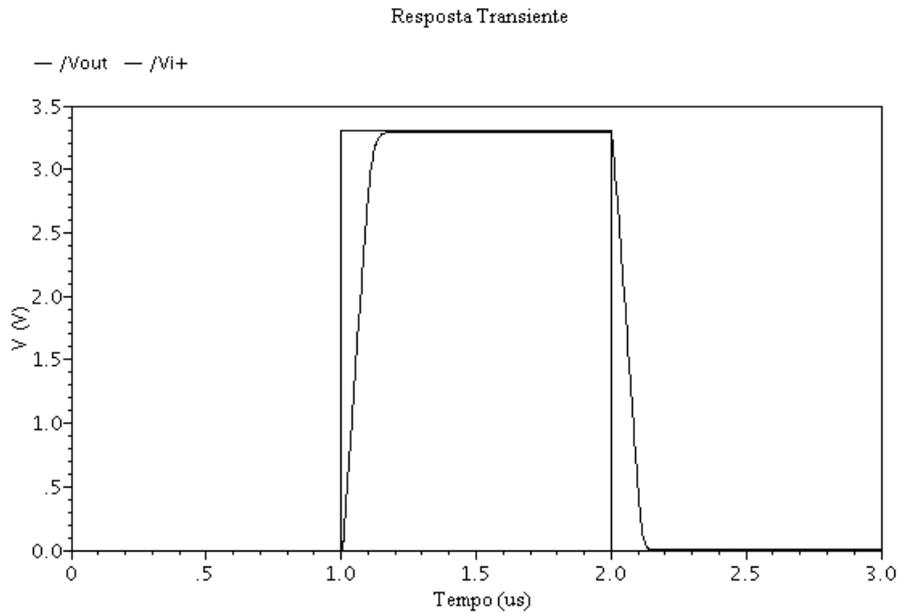


Figura 6.20 – Slew rate do circuito extraído do amplificador.

O circuito extraído do amplificador obteve um ganho de  $80 \text{ dB}$ , como demonstrado na Figura 6.21.

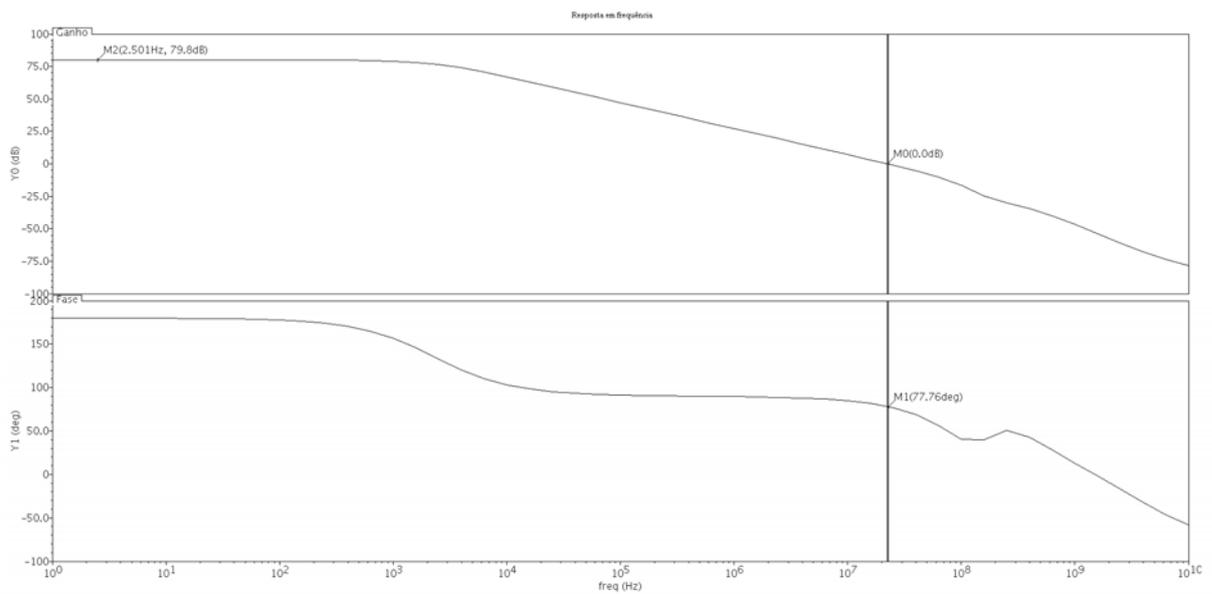


Figura 6.21 – Resposta em frequência do circuito extraído do amplificador operacional.

## 6.9 LEIAUTE DO COMPARADOR DE TRÊS ESTÁGIOS

O leiaute do comparador assim como o do amplificador, também requer cuidados especiais no que diz respeito ao casamento dos transistores. E as mesmas técnicas foram utilizadas para o seu funcionamento adequado.

O leiaute do comparador de três estágios está ilustrado na Figura 6.22 e suas dimensões são 47,3  $\mu\text{m}$  de largura e 28,7  $\mu\text{m}$  de altura.

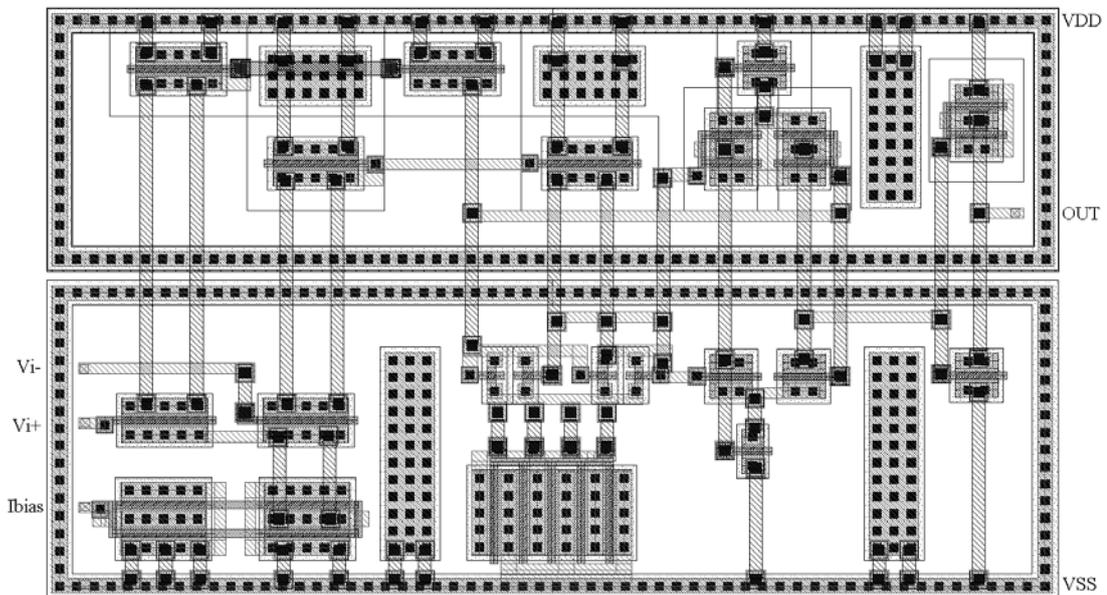


Figura 6.22 – Leiaute do comparador de três estágios.

Na Figura 6.23, o comparador projetado obteve um slew rate de 98  $\text{V}/\mu\text{s}$  e a sua excursão de sinal vai de 0 V a 3.3 V.

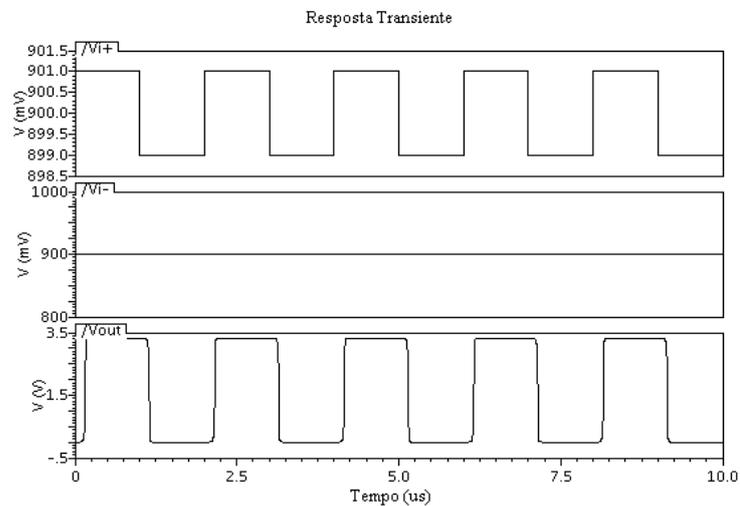


Figura 6.23 – Resposta do circuito extraído do comparador.

Obteve-se um ganho de 99 dB, como demonstrado na Figura 6.24, para o circuito extraído do comparador de três estágios.

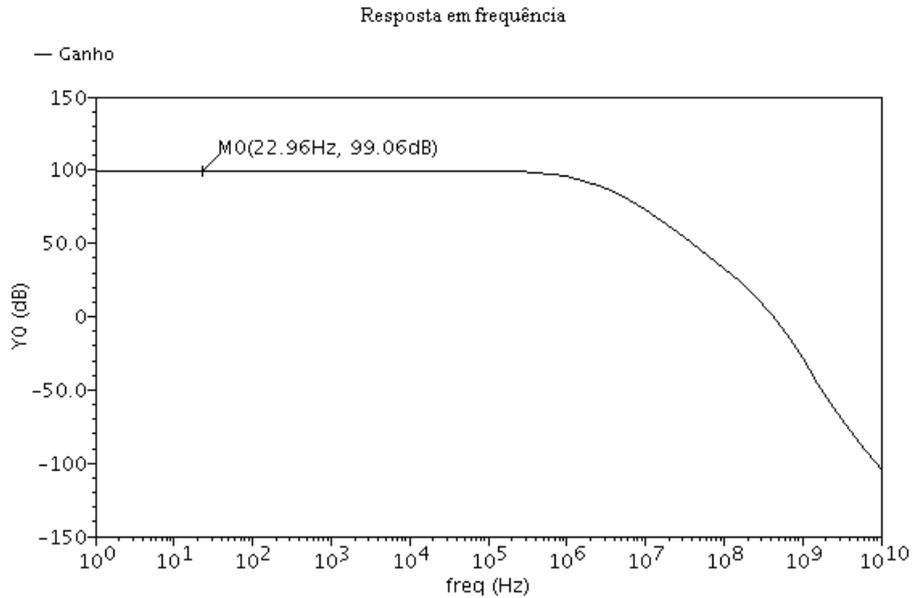


Figura 6.24 – Resposta em frequência do circuito extraído do comparador.

## 6.10 LEIAUTE DO CONVERSOR A/D COMPLETO

Com os leiautes prontos de todas as partes, estes foram dispostos a se obter a menor área possível e obteve-se o aspecto de um retângulo. Após a organização dos blocos é feita a interligação deles. Deste modo o leiaute final do conversor A/D pode ser observado na Figura 6.25.

Suas dimensões são 400,1  $\mu\text{m}$  de largura e 218,7  $\mu\text{m}$  de altura. Por fim as simulações indicaram que o consumo de potência desse conversor A/D é igual 1,328 mW.

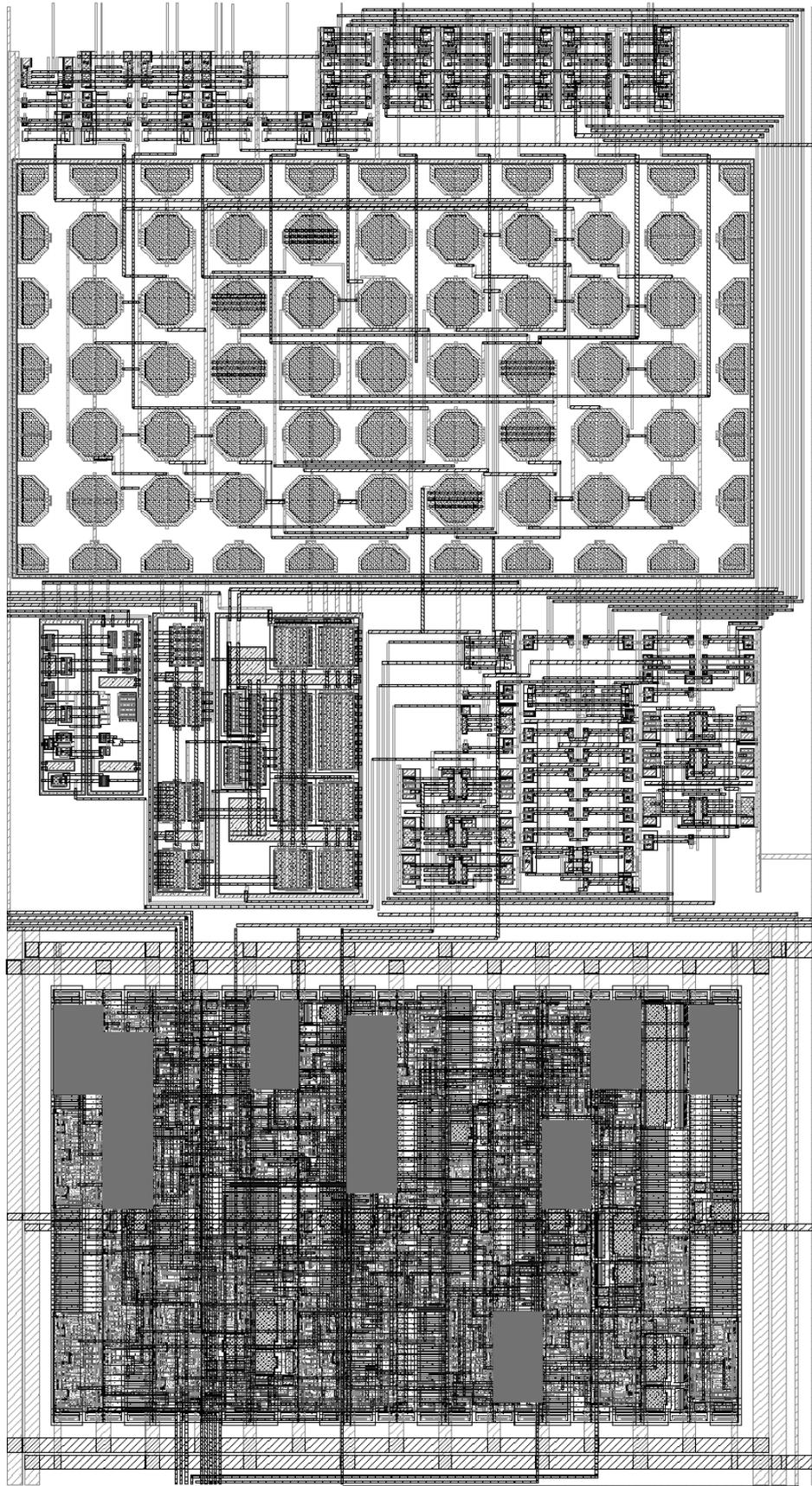


Figura 6.25 – Leiaute do conversor A/D completo.

## 7 RESULTADOS DAS SIMULAÇÕES

Para comprovar o funcionamento adequado do conversor A/D proposto, simulações dos componentes desenvolvidos em nível de transistores do modelo BSIM3v3 foram realizadas. Após a validação feita e se obtido o funcionamento correto, os blocos descritos em transistores foram sucessivamente substituídos pelos seus respectivos circuitos extraídos a partir do leiaute. O extraído é uma representação altamente fiel do circuito que será fabricado, incluindo as capacitâncias parasitas. No primeiro momento as simulações foram realizadas usando-se os simuladores *SPECTRE* para as simulações analógicas e o *NCSim* para as simulações digitais. No segundo momento apenas o *SPECTRE* foi utilizado, pois todos os componentes já estavam representados em níveis de transistores e por fim de circuitos extraídos.

### 7.1 SIMULAÇÕES EM NÍVEL DE TRANSISTORES

A partir da metodologia apresentada em [1] e para o circuito de condicionamento com um estágio de amplificação apresentado em [3], os valores das razões de ajuste da faixa dinâmica são dadas como  $\Gamma_1 = \{1, 1.5, 2, 3, 4, 6, 8, 12, 16\}$ . Esses valores de ganho garantem uma perda de resolução menor que 1 bit para um ganho desejado de 1 a 32.

Esses valores também definem a razão entre  $C_I$  e  $C_R$  conforme já mencionado na equação (5.2). As simulações em nível de transistores foram realizadas utilizando o simulador *SPECTRE* para avaliar o funcionamento do conversor proposto.

O capacitor programável foi ajustado para  $C_I = 200$  fF e frequência de clock equivalente a 1 MHz. Para uma tensão de referência com  $V_R = 2.56$  V e resolução de 5 bits, é ilustrado na Figura 7.1 o resultado da simulação em nível de transistores desse conversor, fazendo-se a varredura do sinal de entrada por todo o fundo de escala. A razão entre os capacitores é dada por  $C_o = 3C_R$  e  $C_I = \Gamma C_R$ .

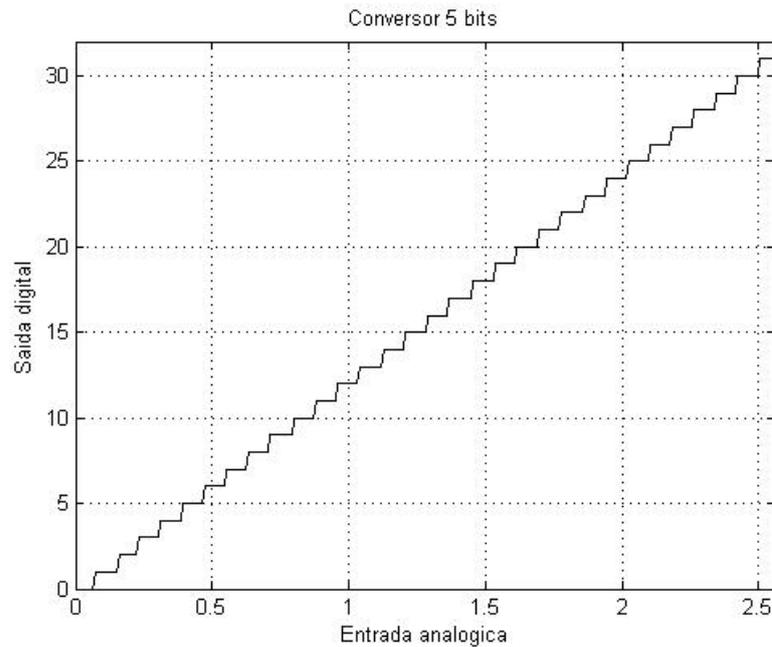


Figura 7.1 - Simulação em nível de transistores do valor digital em função da entrada analógica para um conversor A/D de 5 bits.

Como podem ser observados os resultados obtidos estão próximos dos resultados obtidos na simulação em nível comportamental. Foram realizadas duas avaliações para o desempenho do conversor. As medidas de desempenho estáticas INL e DNL avaliam a linearidade da conversão com sinal contínuo.

O erro DNL ocorre quando um passo é diferente de 1 LSB. Caso o erro DNL seja, em módulo, maior que 1 LSB, provavelmente ocorrerá uma perda de código. Na Figura 7.2 é mostrado o gráfico obtido para o conversor com resolução de 5 bits.

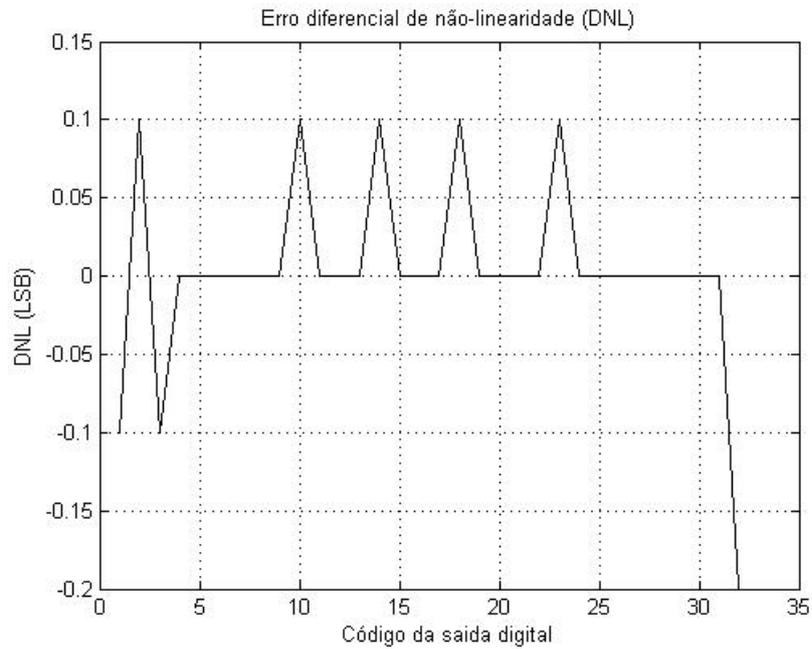


Figura 7.2 - Erro diferencial de não-linearidade (DNL) para a resolução de 5 bits.

O erro INL é o desvio máximo entre as linhas das funções de transferência real e a ideal. Este erro representa a soma de todos os valores DNL e é exibido na Figura 7.3.

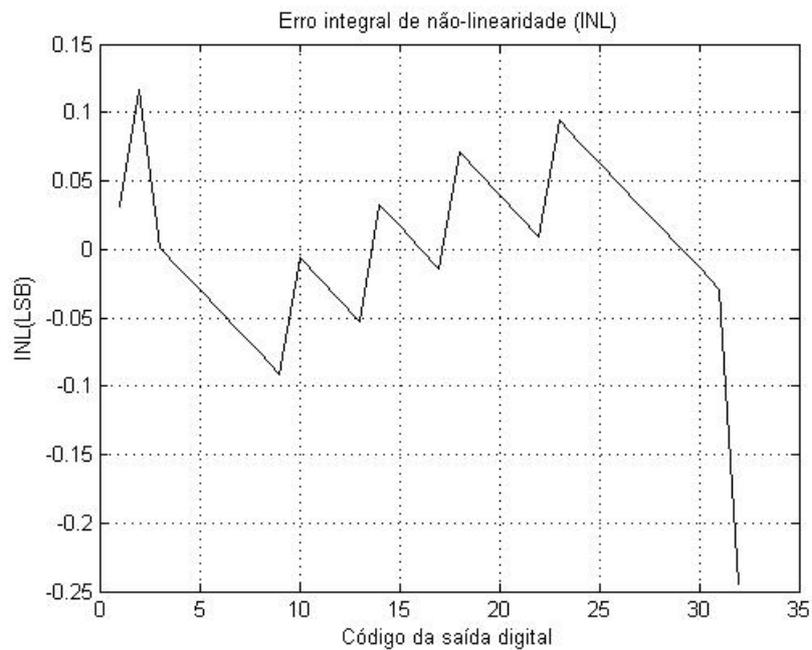


Figura 7.3 - Erro integral de não-linearidade (INL) para a resolução de 5 bits.

Observando as medições de DNL e INL pode-se observar que o pior caso negativo do DNL foi de -0.2 LSB e o pior caso positivo foi de 0.1 LSB. O INL teve o seu pior caso negativo de -0.24 LSB e o pior caso positivo de 0.11 LSB.

Também foram realizadas avaliações para o desempenho dinâmico do conversor. As medidas de desempenho dinâmico como relação sinal ruído (SNR) e o número efetivo de bits (ENOB) foram às escolhidas.

Para se realizar esse tipo de medição é necessário aplicar um sinal senoidal na entrada do circuito, esse sinal tem como características ser uma senoide de 60 Hz e amplitude de 1,28 V, sendo que seu nível CC é de 1,28 V. Na Figura 7.4 é ilustrado o sinal de entrada e a sua saída digital convertida com uma resolução de 5 bits.

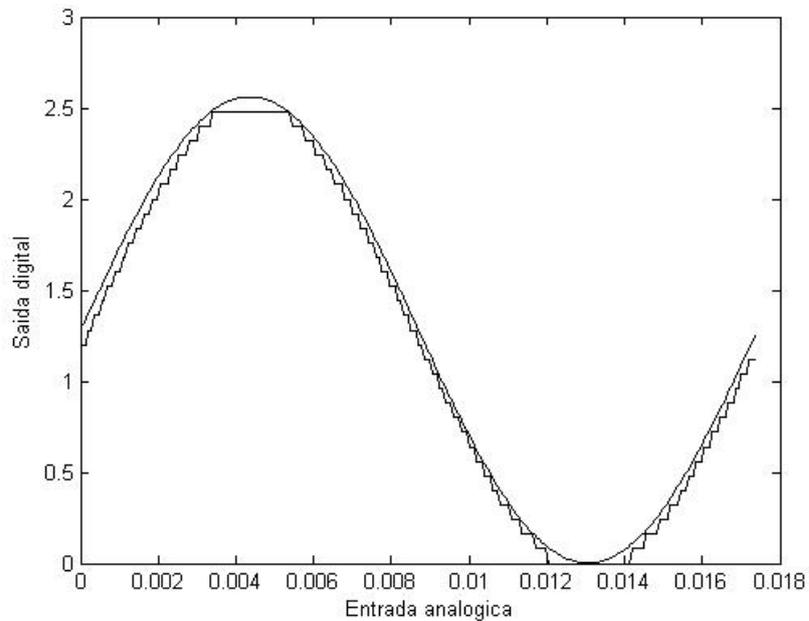


Figura 7.4 – Sinal senoidal aplicado ao conversor com resolução de 5 bits e sua resposta digital.

Com os resultados obtidos a partir da aplicação do sinal senoidal na entrada do conversor é realizada uma FFT com 1024 pontos, e a partir do resultado exibido na Figura 7.5 podem ser calculadas as medidas de desempenho dinâmico.

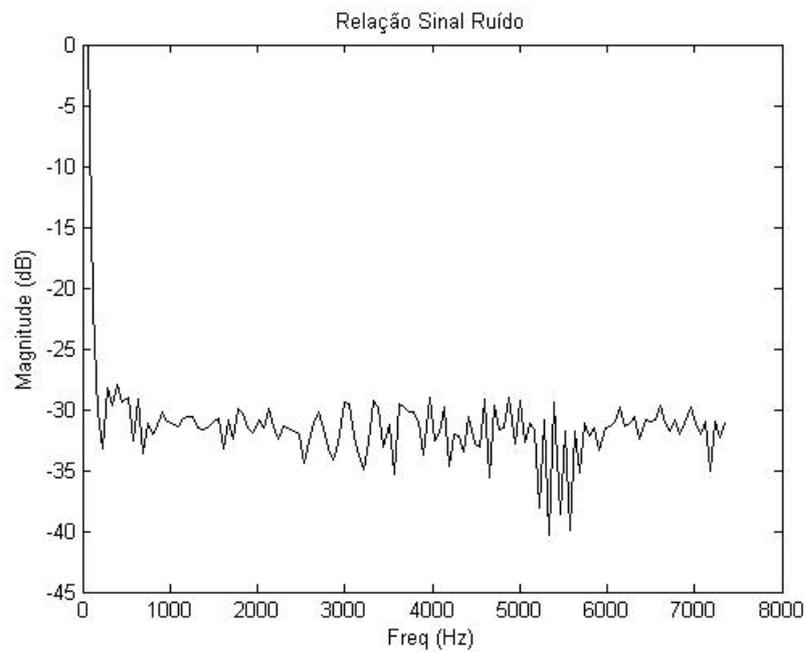


Figura 7.5 – Resultado da FFT para um conversor com resolução de 5 bits.

A partir do resultado da FFT foi calculada a relação sinal ruído (SNR) e obtido um resultado de 31,34 dB. Com o resultado da SNR pode-se obter o número efetivo de bits (ENOB), para uma resolução de 5 bits obteve-se um ENOB de 4,92 bits. O que demonstra que para essa resolução o conversor funciona de forma eficaz, garantindo que não haverá perda de códigos durante a conversão.

Essas medidas também foram realizadas para o conversor utilizando uma resolução de 8 bits. Como pode ser observado na Figura 7.6, fez-se uma varredura do sinal de entrada por todo o fundo de escala.

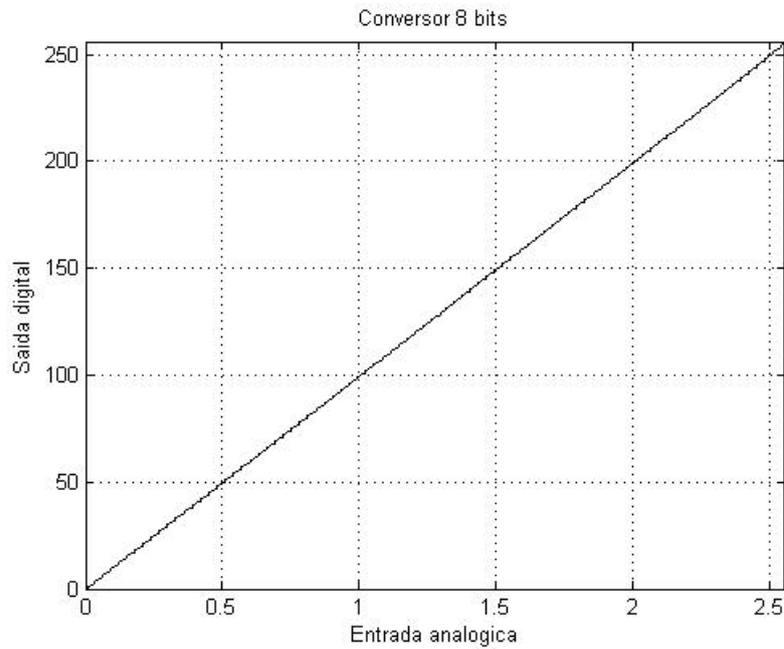


Figura 7.6 – Simulação em nível de transistores do valor digital em função da entrada analógica para um conversor A/D de 8 bits.

As medidas de desempenho estáticas DNL e INL para o conversor com resolução de 8 bits podem ser observadas nas Figuras 7.8 e 7.8 respectivamente.

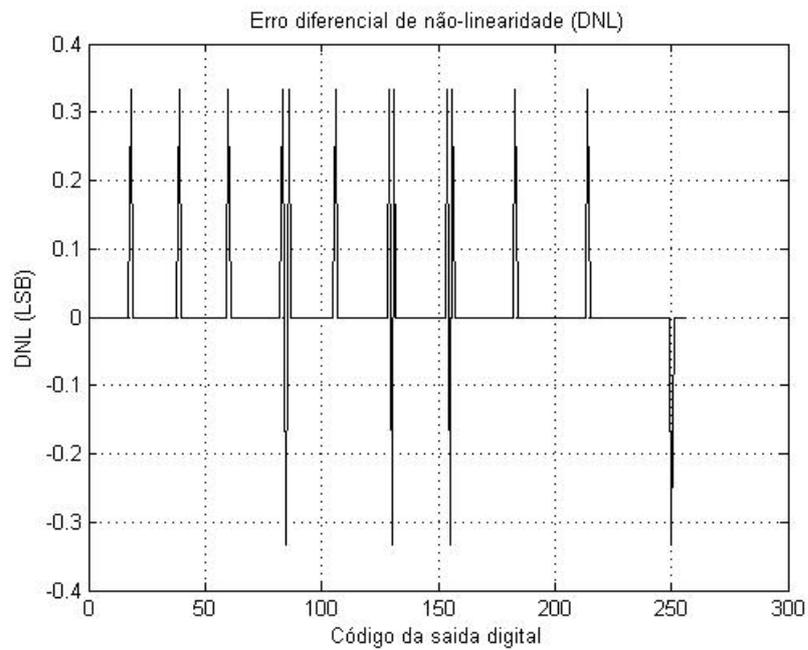


Figura 7.7 – Erro diferencial de não-linearidade (DNL) para a resolução de 8 bits.

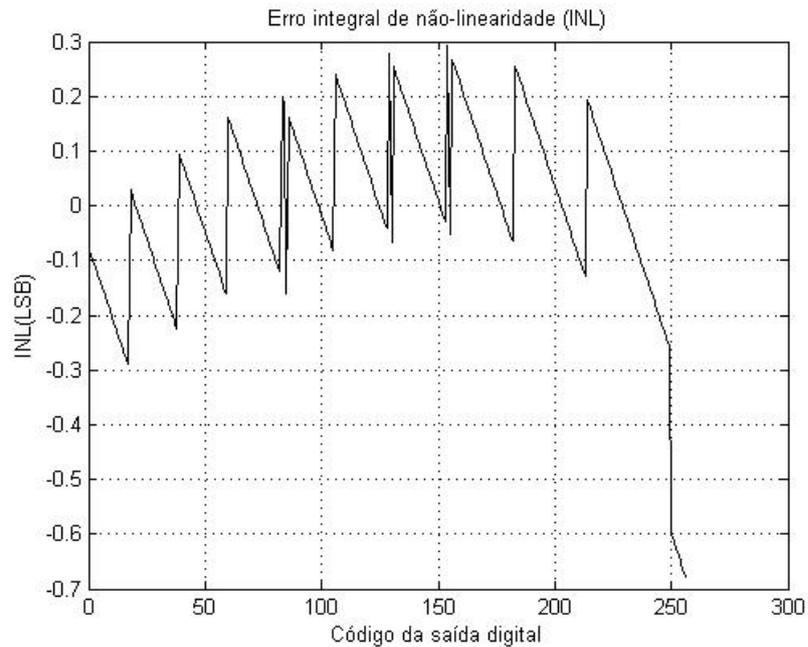


Figura 7.8 – Erro integral de não-linearidade (INL) para a resolução de 8 bits.

Observando as medições de DNL e INL para 8 bits pode-se observar que o pior caso negativo do DNL foi de -0.33 LSB e o pior caso positivo foi de 0.33 LSB. O INL teve o seu pior caso negativo de -0.68 LSB e o pior caso positivo de 0.3 LSB.

Aplicou-se um sinal senoidal na entrada do circuito para se realizar as medidas dinâmicas, esse sinal tem como características ser uma senoide de 60 Hz e amplitude de 1,28 V, sendo que seu nível DC é de 1,28 V. Na Figura 7.9 é ilustrado o sinal de entrada e a sua saída digital convertida com uma resolução de 8 bits.

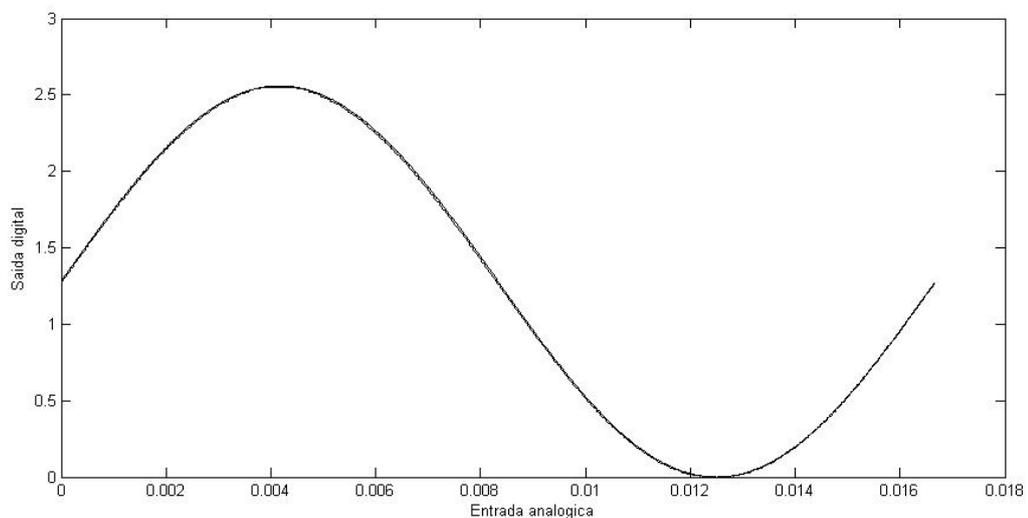


Figura 7.9 – Sinal senoidal aplicado ao conversor com resolução de 8 bits e sua resposta digital.

Com os resultados obtidos a partir da aplicação do sinal senoidal na entrada do conversor é realizada uma FFT com 1024 pontos, e a partir do resultado exibido na Figura 7.10 podem ser calculadas as medidas de desempenho dinâmico.

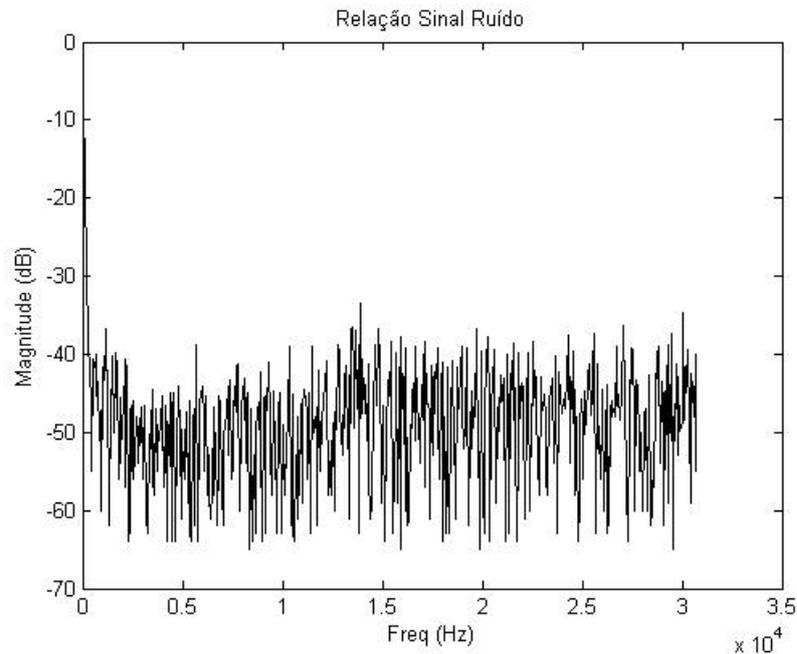


Figura 7.10 – Resultado da FFT para um conversor com resolução de 8 bits.

A partir do resultado da FFT foi calculada a relação sinal ruído (SNR) e obtido um resultado de 48,95 dB. Com o resultado da SNR pode-se obter o número efetivo de bits (ENOB), para uma resolução de 8 bits obteve-se um ENOB de 7,84 bits. O que demonstra que para essa resolução o conversor funciona de forma eficaz, garantindo que não haverá perda de códigos durante a conversão.

## 7.2 SIMULAÇÃO DO CIRCUITO EXTRAÍDO

Para uma tensão de referência com  $V_R = 2.56$  V e resolução de 8 bits, é ilustrada na Figura 7.11 o resultado da simulação do leiaute extraído desse conversor, fazendo-se a varredura do sinal de entrada por todo o fundo de escala.

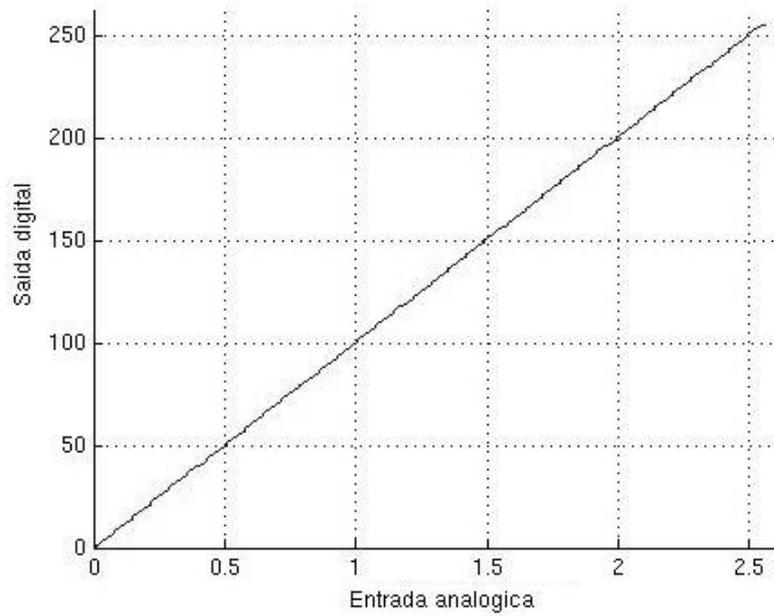


Figura 7.11 – Simulação do circuito extraído do valor digital em função da entrada analógica para um conversor A/D de 8 bits.

As medidas de desempenho estáticas DNL e INL para o conversor com resolução de 8 bits do circuito extraído podem ser observadas nas Figuras 7.12 e 7.13 respectivamente.

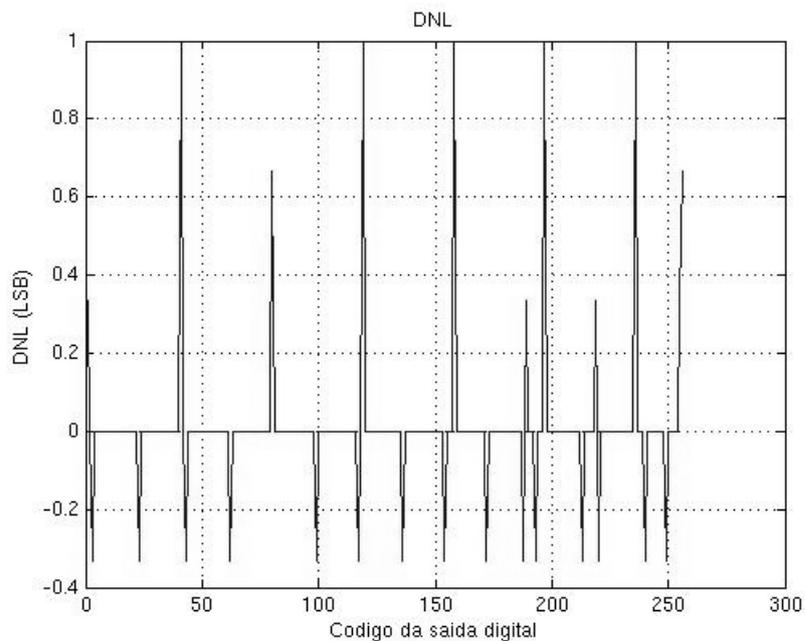


Figura 7.12 – Erro diferencial de não-linearidade (DNL) para a resolução de 8 bits do circuito extraído.

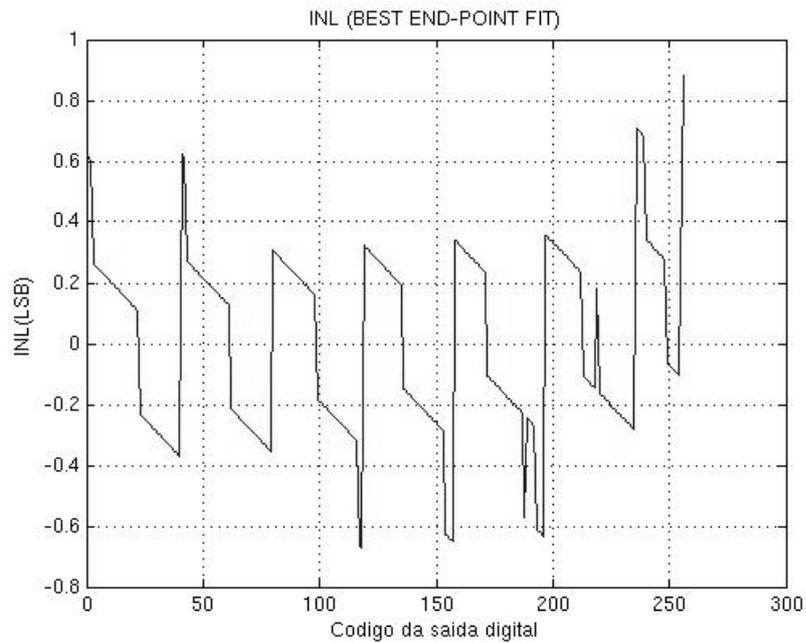


Figura 7.13 – Erro integral de não-linearidade (INL) para a resolução de 8 bits do circuito extraído .

Observando as medições de DNL e INL para 8 bits do circuito extraído pode-se observar que o pior caso negativo do DNL foi de -0.33 LSB e o pior caso positivo foi de 1 LSB. O INL teve o seu pior caso negativo de -0.67 LSB e o pior caso positivo de 0.88 LSB.

Foi aplicado um sinal senoidal na entrada do circuito extraído para se realizar as medidas dinâmicas. Na Figura 7.14 é ilustrado o sinal de entrada e a sua saída digital convertida com uma resolução de 8 bits do circuito extraído.

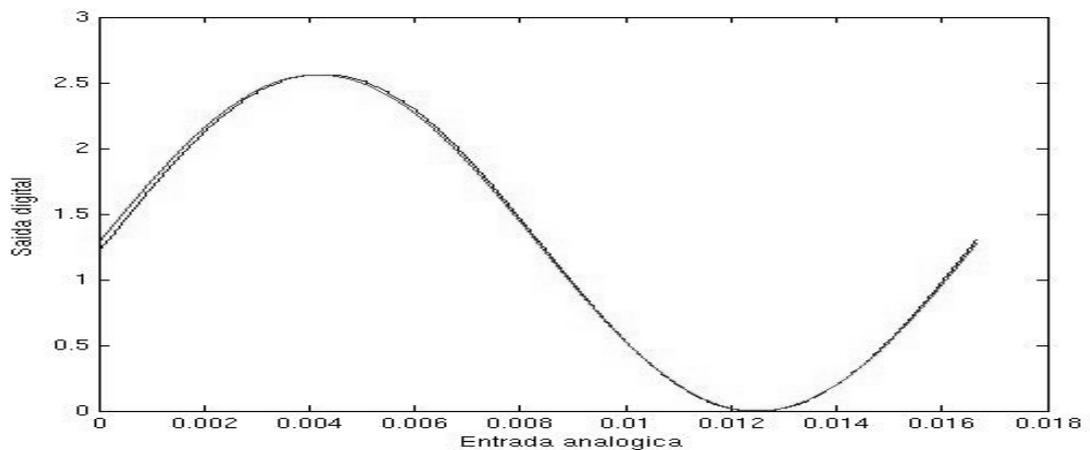


Figura 7.14 – Sinal senoidal aplicado ao conversor extraído com resolução de 8 bits e sua resposta digital.

Com os resultados obtidos a partir da aplicação do sinal senoidal na entrada do conversor extraído é realizada uma FFT com 1024 pontos, e a partir do resultado exibido na Figura 7.2 podem ser calculadas as medidas de desempenho dinâmico.

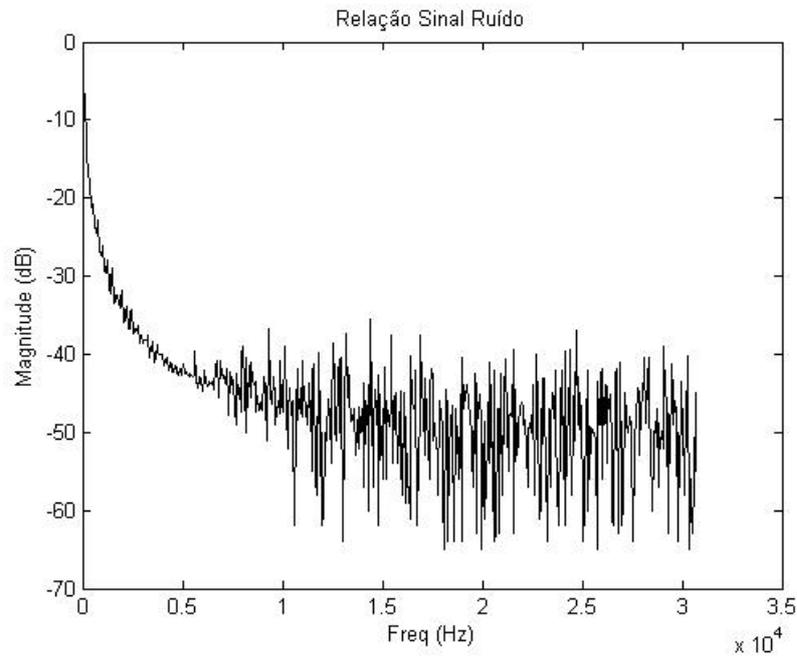


Figura 7.15 – Resultado da FFT para um conversor extraído com resolução de 8 bits.

A partir do resultado da FFT do circuito extraído foi calculada a relação sinal ruído (SNR) e obtido um resultado de 46,60 dB. Com o resultado da SNR pode-se obter o número efetivo de bits (ENOB), para uma resolução de 8 bits obteve-se um ENOB de 7,36 bits. O que demonstra que para essa resolução o conversor funciona de forma eficaz, garantindo que não haverá perda de códigos durante a conversão.

## 8 CONCLUSÃO

Na primeira etapa dessa dissertação foi realizado um estudo sobre as arquiteturas de conversores e sobre os componentes que poderiam ser utilizados para o desenvolvimento deste conversor e foi mostrado como é possível desenvolver esses componentes em nível de transistores. Na segunda etapa do projeto todos os componentes foram reprojatados para a tecnologia AMS 0.35, tanto a parte analógica quanto a parte digital do circuito do ADC. E realizadas simulações que comprovaram o seu funcionamento. Na terceira foi feito o leiaute do circuito e simulações do seu circuito extraído.

A variação da faixa de entrada do ADC, com a alteração da capacitância de entrada foi a técnica usada, e as simulações em nível de transistores e com o circuito extraído das diferentes faixas de entrada do conversor proposto mostraram-se satisfatórias.

O capacitor programável usado possui um número mínimo de capacitâncias, e garante a faixa do sinal de medição sem perdas, para uma perda máxima de resolução de 1 LSB. O que foi demonstrado pelas medidas de desempenhos estáticas INL e DNL.

Um conversor com resolução programável superior a 8 bits pode ser implementado com a estrutura proposta, aumentando-se o número de bits contador crescente/decrecente programável. No entanto, aumentando-se a resolução, reduz-se o valor do LSB, requerendo-se componentes com melhor precisão. Uma alternativa para reduzir o tempo de conversão, seria usar frequências superiores a 1 MHz, nos relógios dos componentes.

### 8.1 PERSPECTIVAS FUTURAS

Como continuidade para este trabalho, sugere-se o aumento da resolução programável para tornar esse projeto mais viável no que diz respeito à comparação com conversores comerciais para aí passar para a etapa de fabricação do conversor em circuito integrado.

Com isto espera-se obter um conversor analógico digital mais competitivo e que possa ser utilizado em uma gama maior de aplicações.

## REFERÊNCIAS

- [1] S.Y.C. CATUNDA, J.F. NAVINER, G.S. DEEP, and R.C.S. FREIRE, "Designing a programmable analog signal conditioning circuit without loss of measurement range.," *Instrumentation and Measurement, IEEE Transactions*, vol. 52, no. 5, pp. 1482 – 1487, 2003.
- [2] S.Y.C. CATUNDA, J-F NAVINER, R.C.S. FREIRE, and Giselia A.L. PINHEIRO, "Programmable Gain and dc Level Shift ANalog Signal Conditioning Circuit: Microcontroller based implementation.," *IEEE Instrumentation and Measurement Technology Conference*, vol. 3, no. Proceedings of the IEEE Instrumentation and Measurement Technology Conference, pp. 1857-1861, 2005.
- [3] D. R. BELFORT, S. Y. C. CATUNDA, RANGEL, F. SOUZA, and J. P. M. DANTAS, "Programmable Analog Signal Conditioning Circuit for Integrated Systems. ," *Instrumentation and Measurement Technology Conference, IMTC 2008*, vol. 1, pp. 1848-1852, 2008.
- [4] R. O. NUNES et al., "Conversor analógico-digital integrador a capacitor chaveado com faixa de entrada programável.," *XVIII Congresso Brasileiro de Automática*, vol. 1, pp. 1-6, 2010.
- [5] F. Maloberti, *Data Converters.*: Springer-Verlag, 2007.
- [6] "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters.," The Institute of Electrical and Electronics Engineers, Inc., IEEE Std 1241-2000., 2001.
- [7] FLASH, Maxim Dallas Semiconductor, "A/D and D/A Conversion/Sampling Circuits – Understanding Flash ADCs," AN810, 2001.
- [8] PIPELINE, Maxim Dallas Semiconductor. , "A/D and D/A Conversion/Sampling Circuits – Understanding Pipelined ADCs," AN1023, 2001.
- [9] SAR,Maxim Dallas Semiconductor, "A/D and D/A Conversion/Sampling Circuits – Understanding SAR ADCs," AN1080, 2001.
- [10] INTEGRATOR, Maxim Dallas Semiconductor., "A/D and D/A Conversion/Sampling Circuits – Understanding Integrating ADCs," AN1041, 2001.
- [11] W. KESTER, "ADC Architectures III: Sigma-Delta ADC Basics," Analog Devices, MT022, 2008.
- [12] W. GOEKE, "8.5-Digit Integrating Analog-to-Digital Converter with 16-Bit, 100,000-Sample-per-Second Performance," *HP Journal* 40 (2), pp. 8-15, 1989.
- [13] Mingliang Liu, *Demystifying Switched Capacitor Circuits.*: Newnes, 2006.
- [14] R. GREGORIAN and G.C. TEMES, *Analog MOS Integrated Circuits for Signal Processing.*: Wiley, 1986.
- [15] B. Razavi, *Design of Analog CMOS Integrated Circuits.*: McGraw-Hill, 2000.
- [16] F. A. P. BARÚQUI, "Introdução ao Projeto de Circuitos Integrados Analógicos," 2001.
- [17] R. Jacob Baker, *CMOS: Circuit Design, Layout, and Simulation*, 3rd ed.: Wiley-IEEE Press.
- [18] John P. Uyemura, *CMOS logic circuit design.*: Kluwer Academic Publishers.
- [19] Carlos F. T. Soares and Antonio Petraglia, "Automatic placement of identical unit capacitors to improve capacitance matching," *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 1739-1742, 2009.
- [20] C., Saint, J. Saint, *IC Mask Design: Essential Layout Techniques.*: McGraw-Hill, 2002.

## ANEXO

Neste anexo mostram-se os algoritmos usados no projeto do contador crescente/decrescente que foi desenvolvido na linguagem de descrição de hardware Verilog.

```
//Verilog HDL for "ADC_THIAGO, "somador_updown" "functional"

//Somador Up Down

module SOMADOR_UPDOWN ( input Clock, Reset,
                        input Updown,
                        input [3:0] Nbit,
                        output reg Parada,
                        output reg [9:0] Saida);

reg [9:0] Counter;

always @(posedge Clock or posedge Reset)
begin
  if (Reset)
  begin
    Saida    <= 0;
    Parada   <= 0;
    Counter <= 0;
  end
  else
  begin
    Counter <= Counter + 1;
    if (Counter < 2**(Nbit+1))
    begin
      if (Updown)
      begin
        Saida  <= Saida + 1;
        Parada <= 0;
      end
      else
      begin
        Saida  <= Saida - 1;
        Parada <= 0;
      end
    end
  end
  else
  begin
    Parada <= 1;
    Saida  <= ((Saida/2));
  end
end
end
endmodule
```